

電子工学実験

3 . 電気・電子回路シミュレータ , 導入編

2008年度

ARIKAWA / Haruhiko



大阪電気通信大学 工学部 第1部 電子工学科

学生番号

氏名

PSpice 無料版ソフトを個人の P C にインストールしませんか？

学生番号・氏名を書いた CD-R を持参すればコピーします。

(版權元からコピーの承諾を得ています)

個人 P C の PSpice への Toragi ライブラリ登録について

C:\Program Files\OrcadLite\Capture\Library\PSpice にある
Toragi.olb と Toragi.lib を該当フォルダにコピーして、
New/Edit Simulation Settings の Libraries タブにおいて、
[Browse...]ボタンで Toragi.olb を指定して、
[Add as Global]と[OK]ボタンをクリックする。

MEMO

第3章 電気・電子回路シミュレータ，導入編

0．学習の目的

- ・ PSpice の各種解析方法を習得する．
- ・ バイポーラトランジスタ解析，等価回路，小信号特性等を理解する．
- ・ デジタル回路の基礎を理解する．

0．1 PSpice と無料配布版の制限事項

本講座では，PSpice という simulator = 回路解析プログラムを使用します．

SPICE： Simulation Program with Integrated Circuit Emphasis (強調型)

PSpice： MicroSim 社が開発した PC = パソコン上で動作する SPICE

なお，MicroSim 社は Orcad 社に買収され，Orcad が更に Cadence 社に買収されている．**本講座ではその日本代理店サイバネットシステム株式会社から無料配布版を供与され複製コピーの許諾を受けていますので，自宅パソコンでも PSpice を使ってみたい方は，CD-R に氏名と学籍番号を記載して情報教育センターに提出すれば，その後複製を受け取ることができます．**

またウェブサイトから，学生版の「PSpice Student Version Release 9.x」を無料でダウンロードできます．(<http://www.cadencepcb.com/products/downloads/>)

いずれも無料版のため，次のような制限があります．

PSpice A/D Circuit simulation is limited to circuits with up to:

- 64 nodes
- 10 transistors
- 65 digital primitive devices
- 10 transmission lines in total (ideal or non-ideal)
- 4 pair-wise coupled transmission lines.
- The sample library includes 39 analog and 134 digital parts.
- etc.

Schematics

- You can place a maximum of 50 parts on a schematic design.
- You can only draw on size A sheets.

Capture

- The PSpice libraries are the only ones included. The standard Capture libraries are not included.
- Import facilities, netlisters, and accessories that are not relevant to PSpice are not included.
- You can not save a design that contains more than 60 parts. (You can view or create larger designs, but you can not save them.)
- You can not save a library that contains more than 15 parts.

ただし実際には，本講座ではそれほど大きな回路を扱いませんので，充分使用することができます．

0.2 使用上の特筆すべき注意点

回路図には浮動接点(Floating Node)があってはならない：

PSpice はアースを基準にして回路の各点の電圧や電流を計算するから、作図する回路図には必ずアース点を配置しなければならない。もしアース点の配置を忘れると、回路図のどこにも誤りがなくても“ Floating Node(ノードが浮いている)”というエラーを生じ、解析は実行されない。

ここに言う浮動接点とは、回路上のいかなる経路をたどっても、複数の経路でアースとの間が有限なインピーダンスで結ばれていない点のことである。だから上述のようなどこにもアース点のない回路はすべてのノードが浮動接点となる。また PSpice では理想信号源を使用しているから、電流源の内部インピーダンスは無窮大であることに注意しなければいけない。例えば電流源と一つの抵抗やコイル、コンデンサなどを直列接続したとき、その接続点は浮動接点になってしまう。

数値計算精度における注意：

PSpice による解析では

- ・ 電圧と電流の値は $\pm 1E10 = \pm 10 \text{ G(V or A)}$ でなければならない。
- ・ 微分計算は $1E14$ に制限されている。
- ・ 算術式の計算は倍精度演算であり、15桁の精度である。

だから、たとえば 10 m の抵抗に 10 GV の電圧が加わるような回路では、
disconvergence(非収束)

のエラーを生じる。これは、非収束と言うよりもオーバー・フローであるが、抵抗に流れる電流が $1\text{G} / 1\text{m} = 1E12 \text{ (A)}$ になってしまうから、何度反復計算を繰り返しても数値の取り扱う最大値で計算されるから収束しない。同様にダイオードに 2 V のような直流電圧源を並列接続しても流れる電流はオーバー・フローになるから、disconvergence エラーを生じる。しかしこれらは上述のようにオーバー・フローに起因するものであり、正確な意味での非収束問題ではない。PSpice ではバイアス・ポイント(動作点)の計算などにニュートン・ラフソン(Newton=Raphson)法を用いているが、ニュートン・ラフソン法はある特殊な条件の下では解に収束しないか最悪の場合には発散してしまうこともある。また過渡解析では微分方程式を解かなければならないから、収束問題は必ずつきまとう。PSpice では、DC Sweep 解析やバイアス点の反復計算回数のデフォルト値は 20 回、また、過渡解析における任意時点での計算繰り返し回数のデフォルト値は 10 回であるが、Options コマンドの設定によってこの値は変更できる。

大文字と小文字を識別(区別)しない：

原則として大文字と小文字を区別しないから、たとえば抵抗名を R1 としても r1 としてもよい。特に注意しなければならないものは、単位に対する補助語である。大きな数値、あるいは小さな数値を取り扱うとき位取りのための単位の補助語が使われるが、PSpice で使用できる単位の補助語は表 0-1 のようになっている。ただし、値は多くのソフトで用いられている浮動小数点数の表記法で表した。

たとえば、PSpice では大文字と小文字を区別しないから、ナノは n でも N でもよいが、ギリシャ文字は使用できないから、マイクロはよく似た字形の u を用いるが、U でもかまわない。しかしミリは m でも M でもよいから、メガは Meg で表さなければいけないが、大文字と小文字の区別はないから MEG でも、meg、MeG、mEg、meG などでもかまわない。また単位の記号は明示的につけなくても

よい．たとえば，1k の抵抗値を表すとき，1kohm としてもかまわないが，1k だけでよい．余談であるが，100ohm と書いたために 10 の抵抗を 100 と間違えたと言う話もある．

表 0.1 PSpice の単位の補助語

値	PSpice	一般記号	読み方
1E-15	f or F	f	フェムト
1E-12	p or P	p	ピコ
1E-9	n or N	n	ナノ
1E-6	u or U	μ	マイクロ
1E-3	m or M	m	ミリ
1E3	k or K	k or K	キロ
1E6	Meg	M	メガ
1E9	G or g	G	ギガ
1E12	T or t	T	テラ

0.3 Probe による解析結果のグラフィック表示

PSpice によるシミュレーション結果を，Probe というプログラムがグラフィックに波形表示します．Probe で波形表示する X 軸・Y 軸は，

X 軸：各種解析で指定した基準となる変数．

Y 軸：電流・電圧 Marker 又は Trace 等で指定し，次に示す例のようにグラフの下左段にて表示される．

アース点に対する電圧：

例：V(R1:1) は抵抗 R1 のアースに対するピン 1 の電圧である．

例：V1(R1) は抵抗 R1 のアースに対するピン 1 の電圧である．

非接地の二点間の電圧：

例：V(R1:1, R1:2) は抵抗 R1 の端子間電圧である．

二端子デバイスに流れる電流：

例：I(R1) は R1 に流れる電流．但しピン 1 から 2 の方向を正とする．

3 または 4 端子以上のデバイスの電流：

例：IB(Q1) はバイポーラトランジスタ Q1 のベース電流である．

Trace で指定した場合，演算式が使用可能：

例：(20 - V_Vce) は 20V から Vce 電圧を引いた値．

例：DB(V(Vo) / V(Vi)) は(出力 / 入力)利得のデシベル表示．

0.4 過去に頻発したエラーの原因となる注意事項

以下の注意事項に留意しないと、貴重な時間を浪費することになります。

新規プロジェクト作成：

【Create a New Project Using】において、

必ず「Analog or Mixed A/D」のチェックを確認すること。

自分の Zドライブ に必ずワークフォルダを作成すること。

そのとき必ず 半角英数字のフォルダ名 にすること。日本語厳禁。

フォルダ名は「PSpice 以外の名前」を付けること。例えば_PSpice とか Spice など。何故なら C:ドライブに PSpice という名前のフォルダがあり、そちらに迷い込む例が続出したため。

【Create PSpice Project】において

必ず「Create a blank project」をチェックする。

Project 内の 新規回路図 作成方法を必ず習得すること。

Design Resources¥<project name>.dsn で右クリックして「New Schematic」を選択して回路図名を入力する。

その回路図名上で右クリックして「New Page」を作成する。

既存の回路図ページをコピーしたい時は、コピー元にカーソルを置いて、

を行ない、新規回路図名上で する。

無料版では PAGE1 しか利用できないので 複数ページを設定しない こと。

PSpice では ルート (dsn 内で最上位置にあり マークがある) にある回路図しかシミュレーションできない ので、回路図上で右クリックして「Make Root」する方法を必ず習得すること。

そのとき 直前に「保存」 をしないとエラーが表示される場合が殆どであり、ダミーでも保存動作をしてから Make Root すること。

回路図を描くときの注意点

部品を置くときに うっかり気付かずに複数回クリック してしまったため、同一場所に複数個の部品が置かれる。

配線するときに うっかり気付かずに複数回クリック してしまったために、同一場所に複数配線されたり、浮動接点ができる。

こうしたときの解決方法は、疑わしい領域をすべて削除してから、再度ゆっくり落ち着いて再描画した方が結局早道となる。

1 . PSpice の使用例

1 . 1 回路の作成

作業フォルダの作成

エクスプローラ等を使用して作業フォルダ Z:\PSpice を作成する .

PSpice の起動

[スタート] [プログラム] [Orcad.....] [Capture.....]

新規プロジェクトの作成



図 m1.1 [File] [New] [Project...]

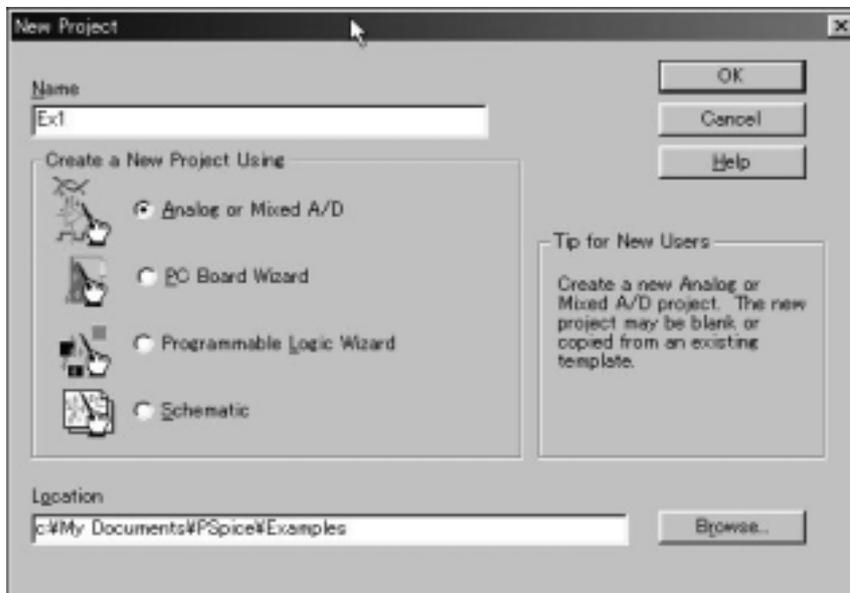


図 m1.2 <New Project>

[Browse] ボタンで作業フォルダを指定する .

必ず [Analog or Mixed A/D] をチェックする . (最初 Schematic なので注意！)

[Name] にプロジェクト名 (Ex1) を入力して , [OK] をクリックする .

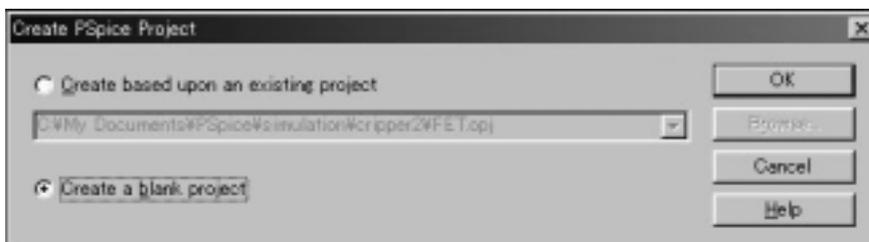


図 m1.3 <Create PSpice Project >

必ず [Create a blank project] をチェックする . (最初違うので注意！)

[OK] をクリックする .

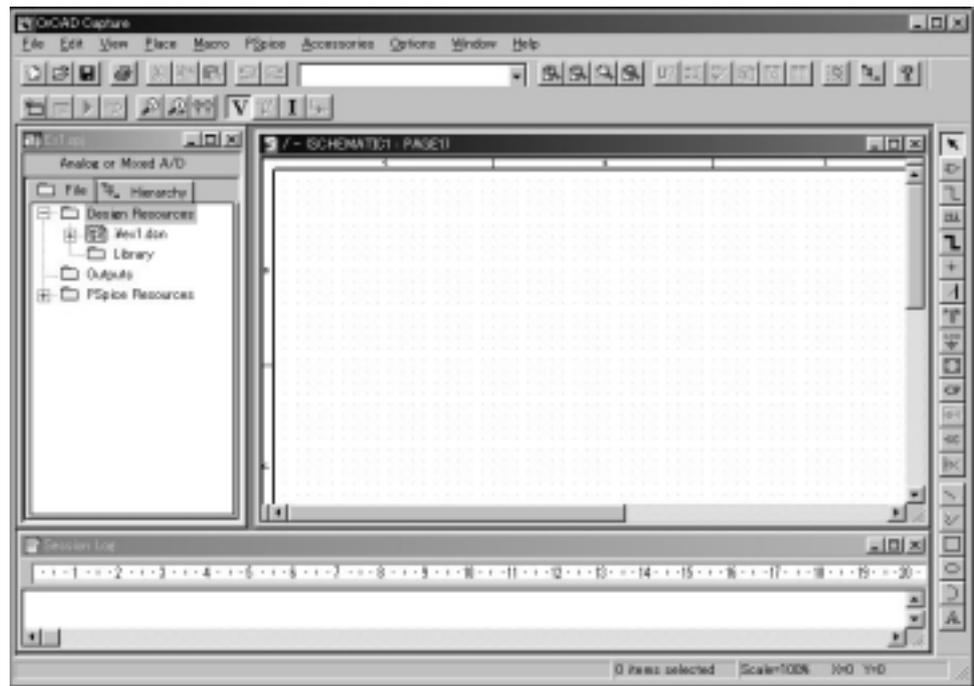


図 m1.4 新規プロジェクトメイン画面

素子 (Part) の配置

例：エンハンスメント型 nMOSFET

素子の配置：

Icon 

Short Cut **P**

or Shift+**P**



図 m1.5 [Place] [Part]

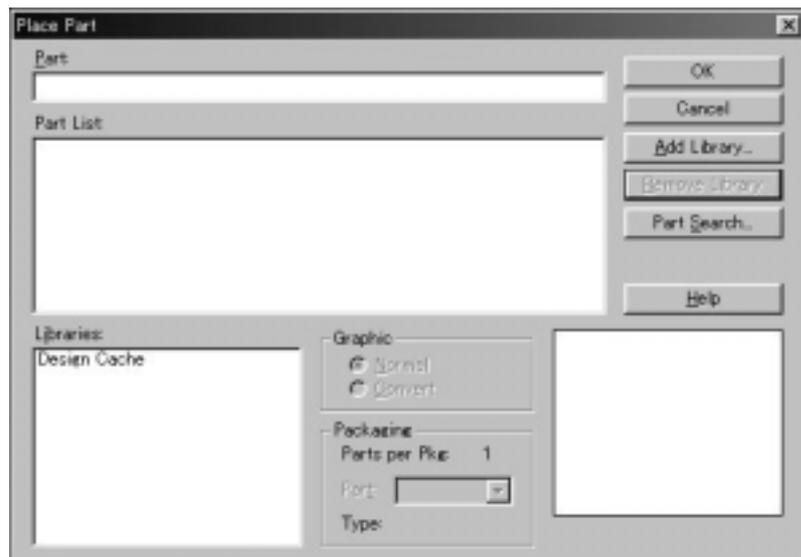


図 m1.6 <Place Part> ダイアログ

[Add Library...] をクリックする .

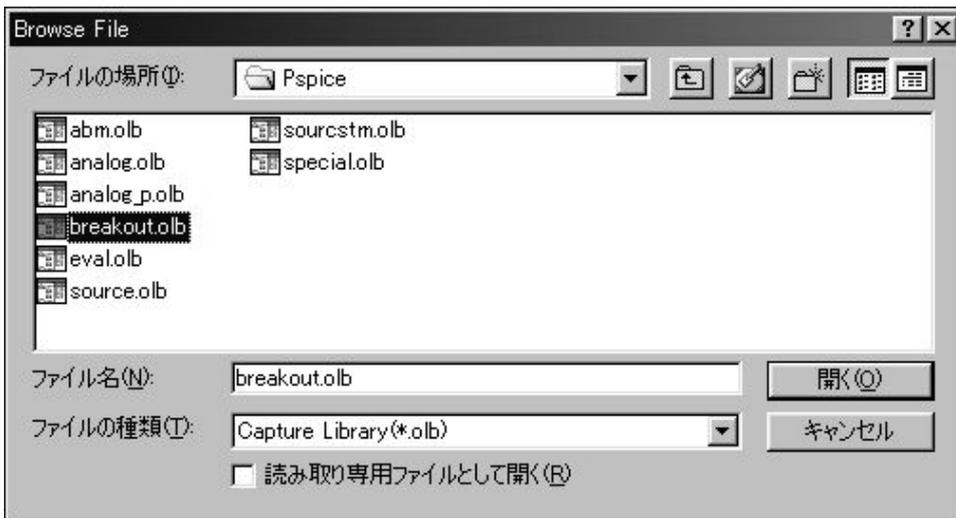


図 m1.7 <Browse File> ダイアログ

“ breakout.olb ” を選択して，[開く] をクリックする．

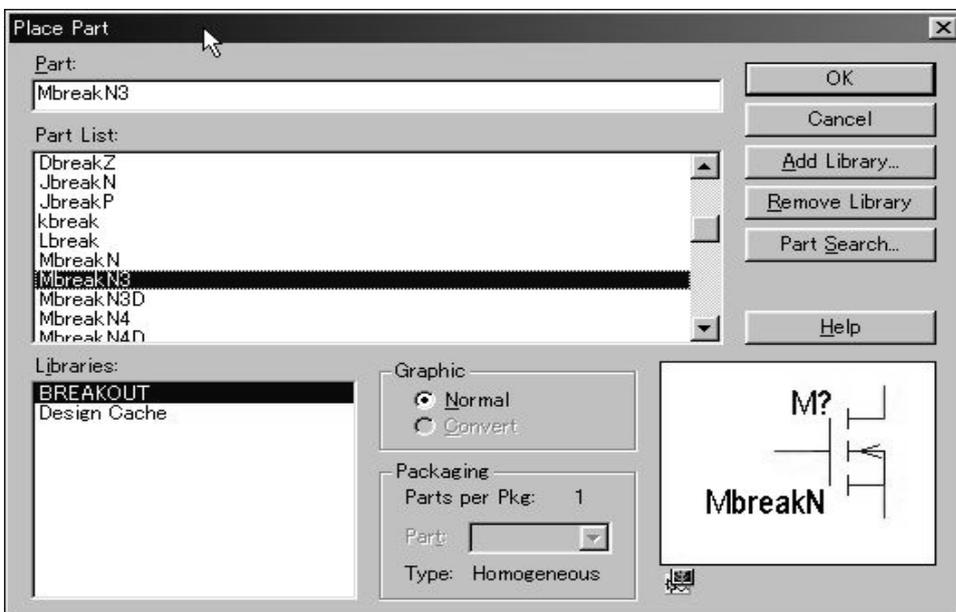


図 m1.8 <Place Part> ダイアログ

[Libraries] から“ BREAKOUT ”を選択，[Part List] から“ MbreakN3 ”を選択して，[OK] をクリックする．

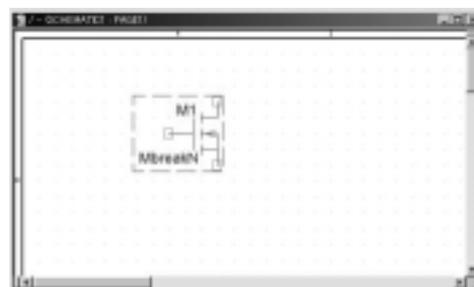
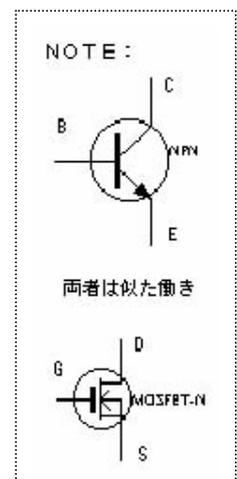


図 m1.9 <SCHEMATIC1 : PAGE1> ウィンドウ

素子 (MOS F E T) を適当な位置に置く。(クリックすると置かれる)
素子配置モードを終了するためには，右クリックをする．

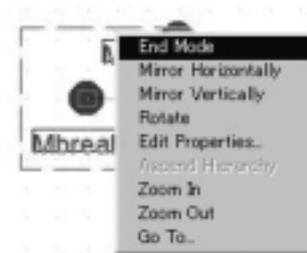


図 m1.10 右クリック [End Mode] を選択 素子配置モード終了

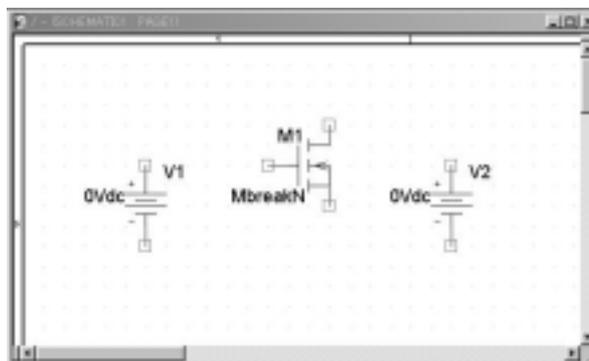


図 m1.11 同様にその他の素子を配置する
D C 電源：“ source.olb ” ライブラリの “ VDC ” 素子

グラウンドの配置

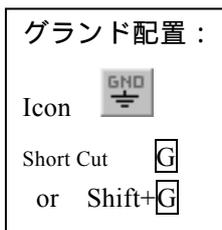


図 m1.12 [Place] [Ground...]

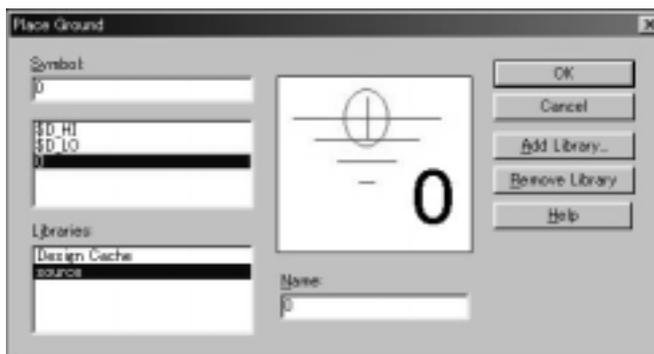


図 m1.13 <Place Ground>

[Add Library...] ボタンをクリックする .

<Browse File> ダイアログ (図 m1.7 参照)

Pspice フォルダ内の “ source.olb ” を選択して, [開く] をクリックする .

<Place Ground> ダイアログ (図 m1.13 参照)

[Libraries] から “ source ” を選択し, [Symbol] リストからは “ 0 ” を選択して, [OK] をクリックする

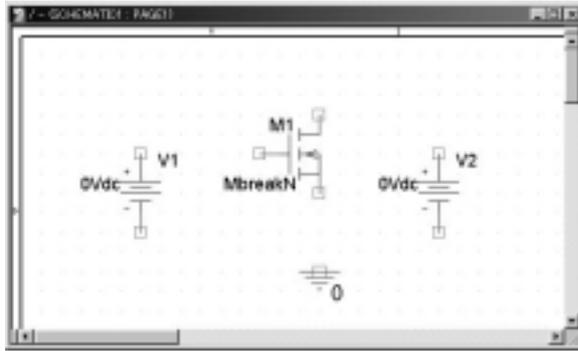


図 m1.14 適当な位置にグランド素子を配置する

配線



図 m1.15 [Place] [Wire]

配線：

Icon 
 Short Cut **W**
 or Shift+**W**



図 m1.16 電源素子 V1 の + 端子をクリックした後、MOSFET のゲート端子をクリックして配線する

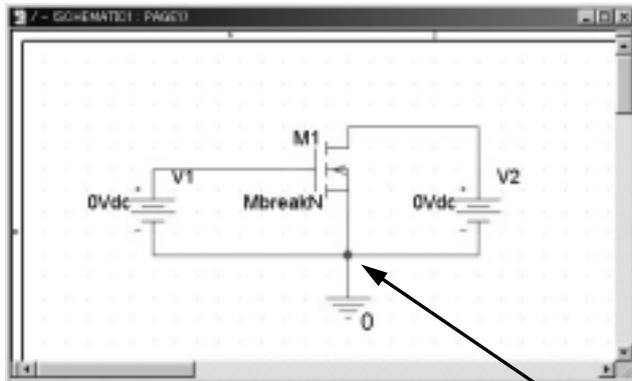


図 m1.17 すべての端子を配線する

結線

必要なところは結線する．[Place] [Junction]
 (図 m1.17 の例ではグランドへの結線)

結線：

Icon 
 Short Cut **J**
 or Shift+**J**

1.2 DC解析 (グラフ横軸が電圧や電流)

例： V1：ゲート電圧 ： 3 V (固定)
V2：ドレイン電圧： 0 ~ 5 V (これがグラフのX軸となる)

ゲート電圧源を3 Vに設定 (固定)

ゲート電圧源(V1)の横にある 0Vdc をダブル・クリックする .

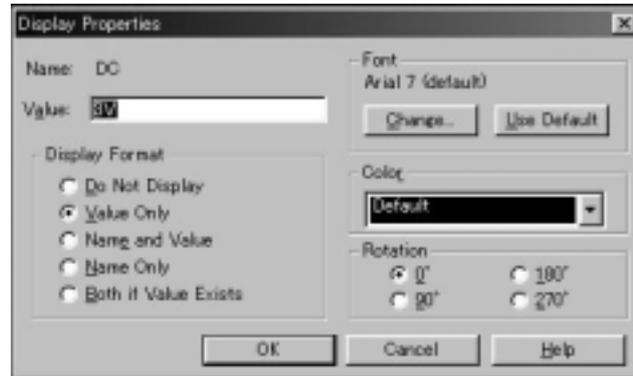


図 m2.1 <Display Properties> ダイアログ
[Value] に “3V” を入力して， [OK] をクリックする .

マーカー (電流測定用) の配置 (これがグラフのY軸となる)



図 m2.2 [PSpice] [Markers] [Current Into Pin]

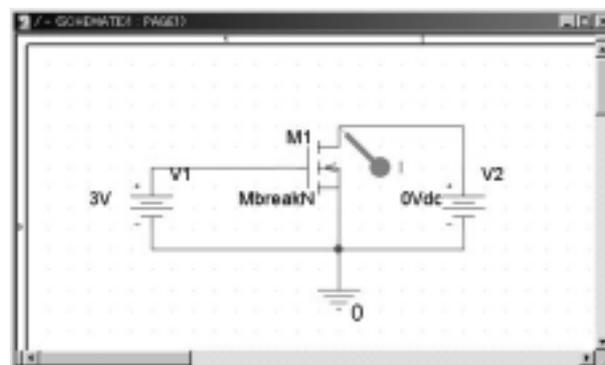


図 m2.3 マーカーをMOSFETのドレイン端子とつなぐ
(対象ファイルがルート/ でないとマーカーが使えないので注意)

シミュレーション(ドレイン電圧)の設定(これがグラフのX軸となる)



図 m2.4 [PSpice] [New Simulation Profile]



図 m2.5 <New Simulation> ダイアログ

[Name] に “ DC Analysis ” を入力する。
[Create] をクリックする。



図 m2.6 <Simulation Settings – DC Analysis> ダイアログ

[Analysis] タブを選択する。
[Analysis types] の [DC Sweep] を選択する。
[Options] の [Primary Sweep] を選択する。

-- Sweep variable -----

[Voltage source] をチェックする。
[Name] にドレイン電圧 “ V2 ” を入力。

-- Sweep type -----

[Linear] をチェックする。
[Start value] に “ 0 ” を入力。 : 0 Vから
[End value] に “ 5 ” を入力。 : 5 Vまでを
[Increment] に “ 0.1 ” を入力。 : 0.1 V刻みで計算。 適度に小さく!

[OK] をクリックする。
シミュレーションを実行する



図 m2.7 [PSpice] [Run]

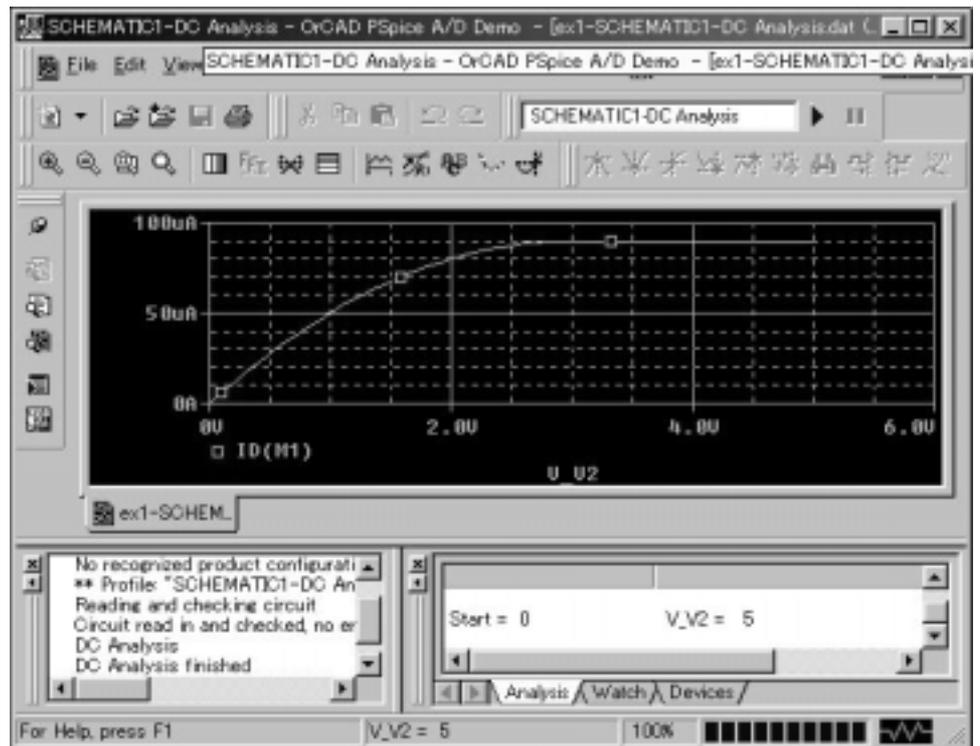


図 m2.8 PSpice シミュレーション結果が表示される

NOTE)

対象ファイルがルート \square であっても、マーカーが使えない場合が稀にある。

その場合は、ファイルを保存した後、再度立ち上げれば復帰する。

どうしても復帰しない場合は、シミュレーションを実行 ([PSpice] [Run]) した後、シミュレーション画面において [Trace] [Add Trace...] により設定するしかない。(図 m5.6 参照)

1.3 パラメトリック解析 (複数のグラフを描く)

例：V1：ゲート電圧： 0, 0.5, 1, 1.5, 2, 2.5, 3V (7本のグラフを描く)
V2：ドレイン電圧： 0~5V (前回と同様これをX軸とする)

シミュレーションの設定

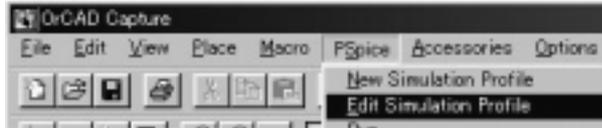


図 m3.1 [PSpice] [Edit Simulation Profile]

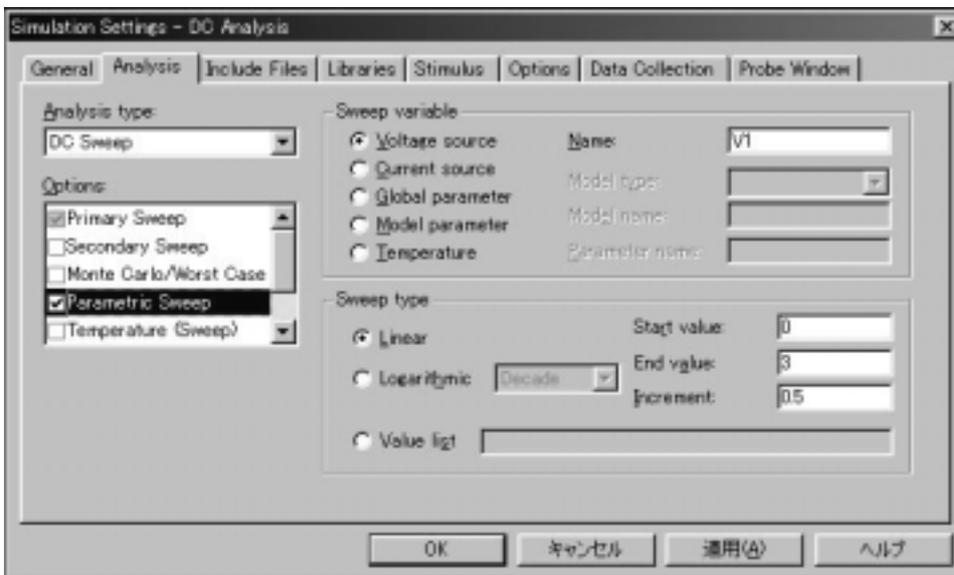


図 m3.2 <Simulation Settings - DC Analysis> ダイアログ

[Analysis] タブを選択する。

[Options] の [Parametric Sweep] をチェックする。

注意)

[Primary Sweep] は、ドレイン電圧を前回の DC 解析と同様に設定する。

[Parametric Sweep]と設定画面がほとんど同じなので、混同しないように！

-- Sweep variable -----

[Voltage source] をチェックする。

[Name] に ゲート電圧 “V1” を入力する。

-- Sweep type -----

[Linear] をチェックする。

[Start value] に “0” を入力。 : 0 V から

[End value] に “3” を入力。 : 3 V まで

[Increment] に “0.5” を入力。 : 0.5 V 刻みで計算。 適度に大きく!

[OK] をクリックする。

シミュレーションを実行する

[PSpice] [Run] (図 m2.7 参照)

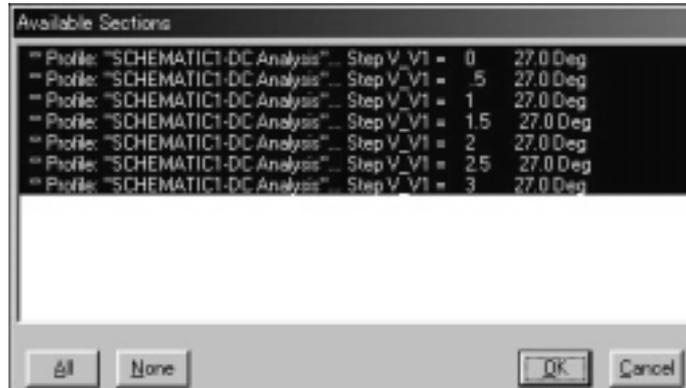


図 m3.3 <Available Sections> ダイアログ

[OK] をクリックする .

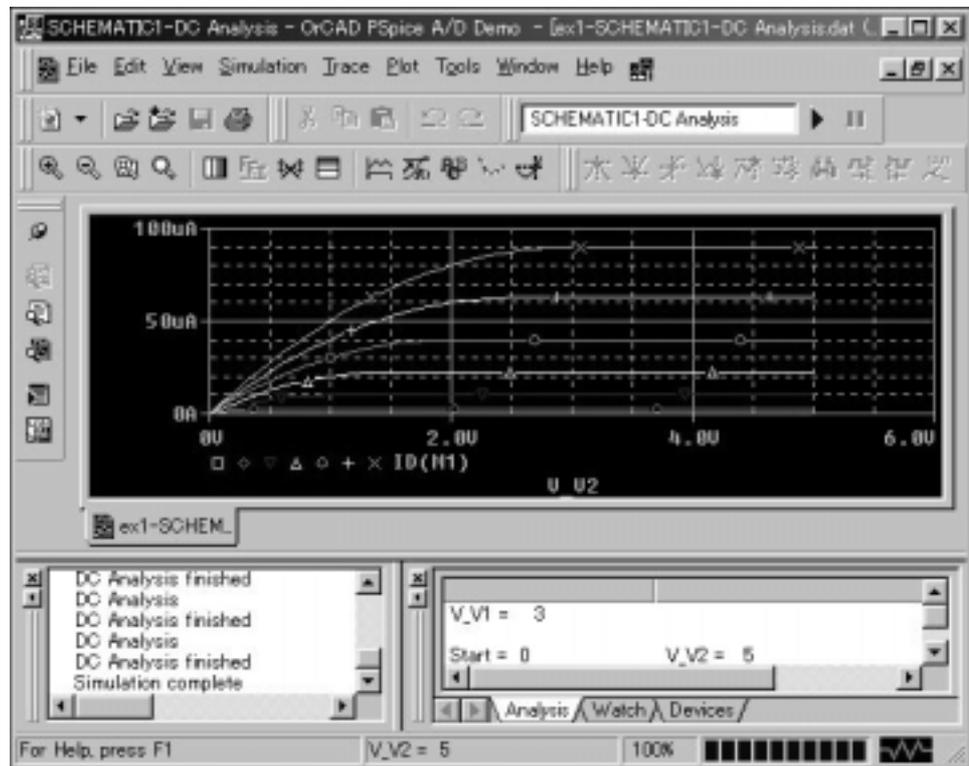


図 m3.4 PSpice シミュレーション結果が表示される

NOTE)

ゲート電圧が 0 V の時のグラフは , X 軸と重なって見えない .

それを解決するには , [Plot] [Axis Settings..] の Y Axis タブにおいて Data Range の Use Defined をチェックして , 0 V の少し下まで見えるようにする .

1.4 過渡解析 (グラフ横軸が時間)

例: MOSFETの,
ゲート電極にAC (オフセット2V, 振幅1V, 周波数1kHz)
ドレイン電極にDC (3V)
を印加した場合の過渡特性

新しい回路図 (SCHEMATIC) を作成して, ルートに移動する

例: プロジェクト窓 "Ex1.dsn" 上で右クリックして **New Schematic** を選択.
新しい回路図を右クリックして **Make Root** でルートに移動する.

素子 (Part) の配置

例: 交流電源

[Place] [Part] ( m1.5 参照)

<Place Part> ダイアログ ( m1.6 参照)

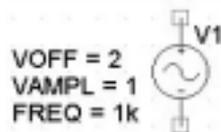
[Libraries] から "SOURCE" を選択する.

[Part List] から交流電源 "VSIN" を選択して, [OK] をクリックする.

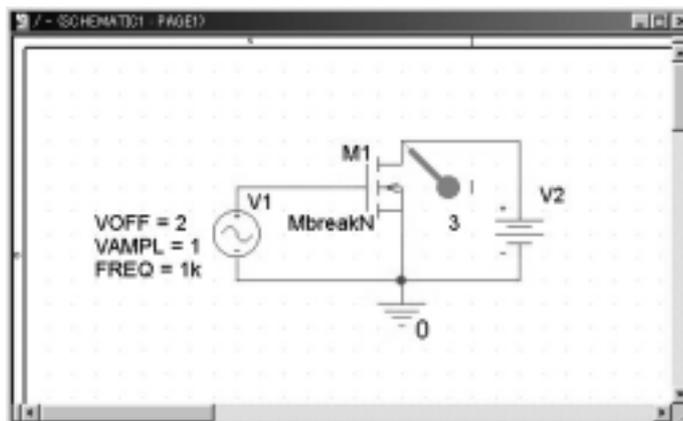
素子 (交流電源) を適当な位置に置く.

VOFF = をダブルクリックして, [Value] に オフセット電圧 "2" Vを入力.

<Display Properties> ダイアログ ( m2.1 参照)



 m4.1 同様に VAMPL を振幅 "1" V に設定,
FREQ を周波数 "1 k" Hz に設定



 m4.2 ゲート側を AC 電源, ドレイン側は DC 3 V, マーカーを配置

シミュレーションの設定

[PSpice] [New Simulation Profile] ( m2.4 参照)

<New Simulation> ダイアログ ( m2.5 参照)

[Name] に "Transient Analysis" を入力, [Create] をクリックする.

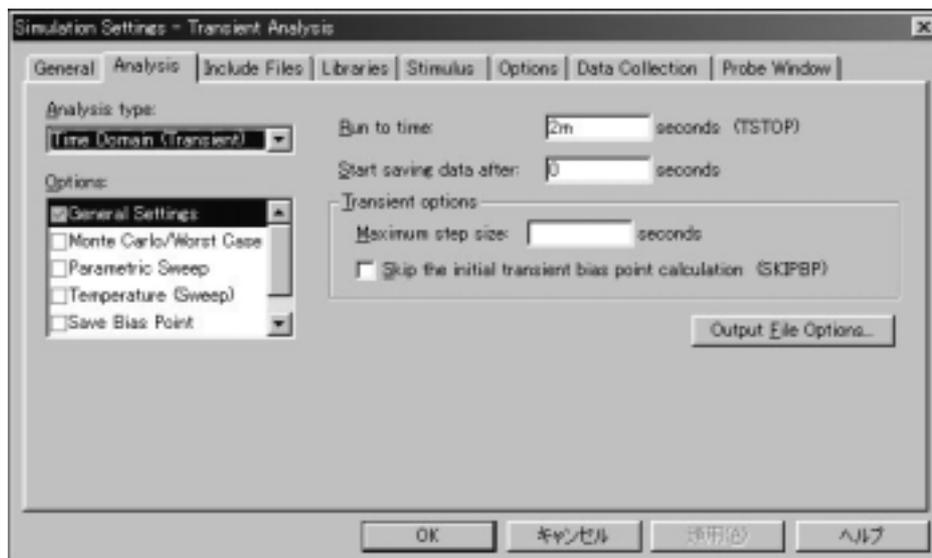


図 m4.3 <Simulation Settings – Transient Analysis> ダイアログ

[Analysis] タブを選択する .

[Analysis types] の 過渡解析 [Time Domain(Transient)] を選択する .

[Run to time] に実行時間 “ 2 m ” 秒を入力する .

[OK] をクリックする .

シミュレーションを実行する

[PSpice] [Run] (図 m2.7 参照)

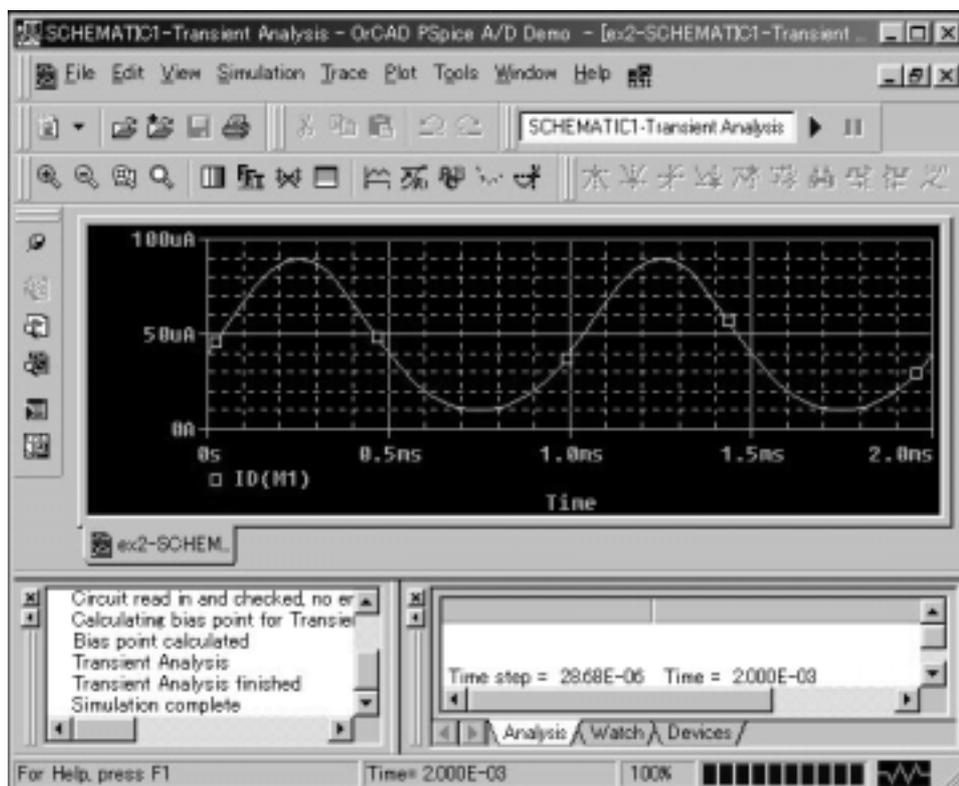


図 m4.4 プログラム「PSpice AD Student」が自動的に実行され、シミュレーション結果を表示する

1.5 AC Sweep 解析 (グラフ横軸が周波数)

アナログ動作解析において、入力を正弦波として出力の周波数応答を確認する。
また、グラフをデシベル表示にする。

例： ハイパスフィルタ

新しい回路図 (SCHEMATIC) を作成してルートに移動 (前節参照)

素子 (Part) の配置

例： 交流電源, 抵抗, コンデンサ

[Place] [Part] ( m1.5 参照)

<Place Part> ダイアログ ( m1.6 参照)

[Libraries] から “SOURCE” を選択する。

[Part List] から 交流電源 “VAC” を選択し、配置する。

[Add Library...]から “analog.olb” を読みこむ。

[Libraries] から “ANALOG” を選択する。

[Part List] から 抵抗器 “R”, コンデンサ “C” を選択し、配置する。

重要!
部品を回転
させるには
 キー

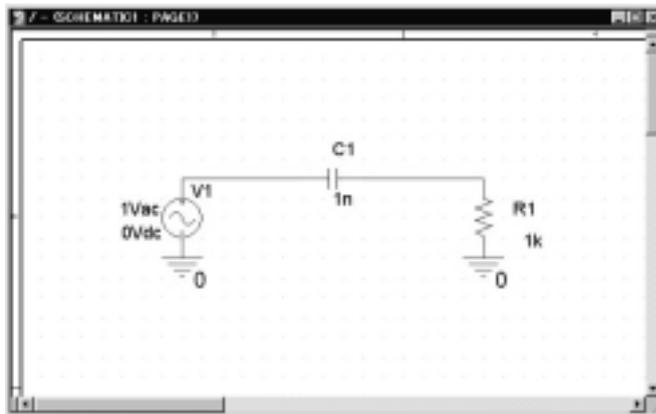


図 m5.1 それぞれの素子を配線する

[Place] [Net Alias] で、ネットに名前を付ける。



図 m5.2 <Place Net Alias> ダイアログ

[Alias] に “Vout” を入力する。

[OK] をクリックして配置。( m5.3 参照 . “Vin” についても同様)

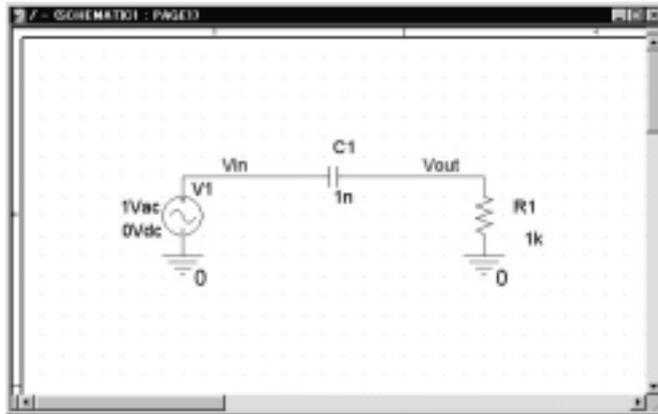


図 m5.3 Net Alias で Vout と Vin を配置

シミュレーションの設定

[Pspice] [New Simulation Profile] (図 m2.4 参照)
 <New Simulation> ダイアログ (図 m2.5 参照)
 [Name] に “ AC Analysis ” を入力, [Create] をクリックする .

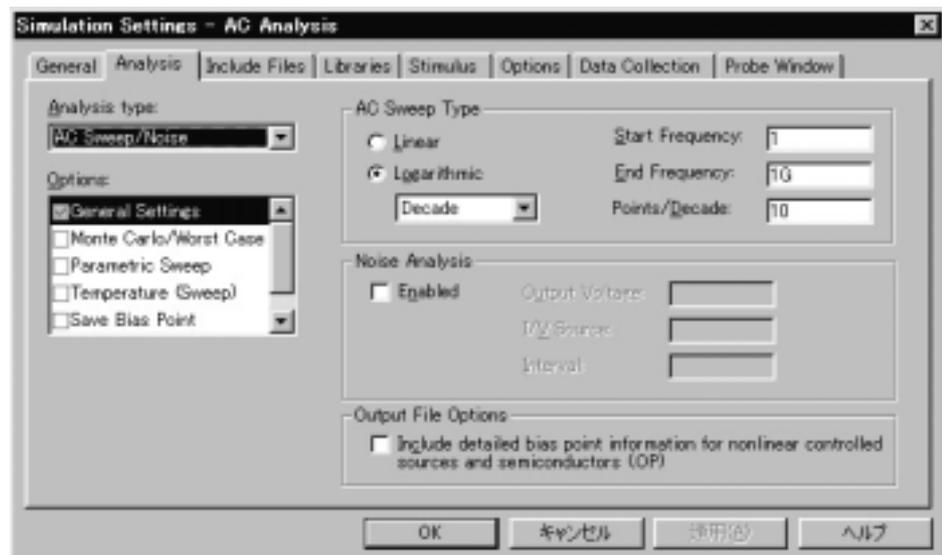


図 m5.4 <Simulation Settings – AC Analysis> ダイアログ

[Analysis] タブを選択する .
 [Analysis types] の [AC Sweep/Noise] を選択する .
 -- AC Sweep Type -----
 [Logarithmic] の対数計算をチェックする .
 [Start Frequency] に 初期周波数 “ 1 ” Hz を入力する .
 [End Frequency] に 終了周波数 “ 1G ” Hz を入力する .
 [Points/Decade] に 計算精度 “ 10 ” を入力する .
 [OK] をクリックする .

シミュレーションを実行する

[Pspice] [Run] (図 m2.7 参照)

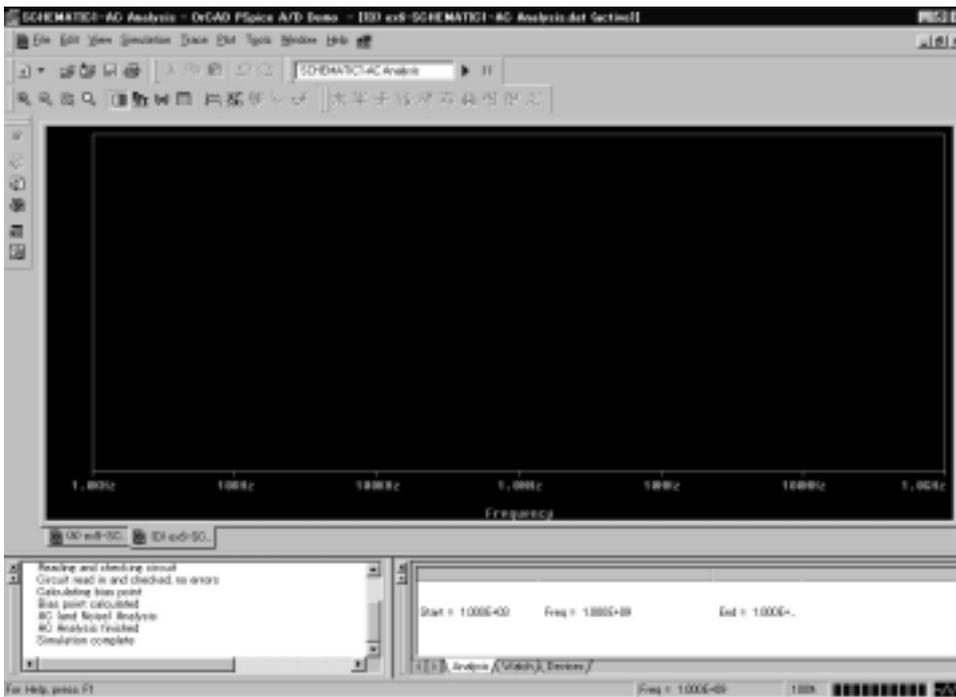


図 m5.5 PSpice シミュレーション結果 無表示になる

グラフをデシベル表示にする

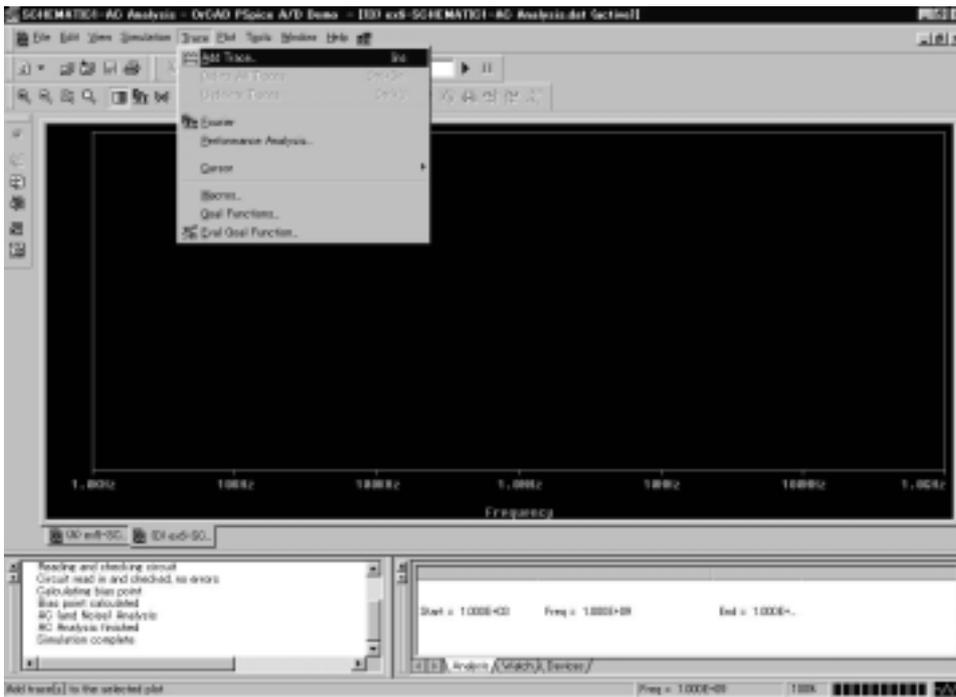


図 m5.6 [Trace] [Add Trace...]

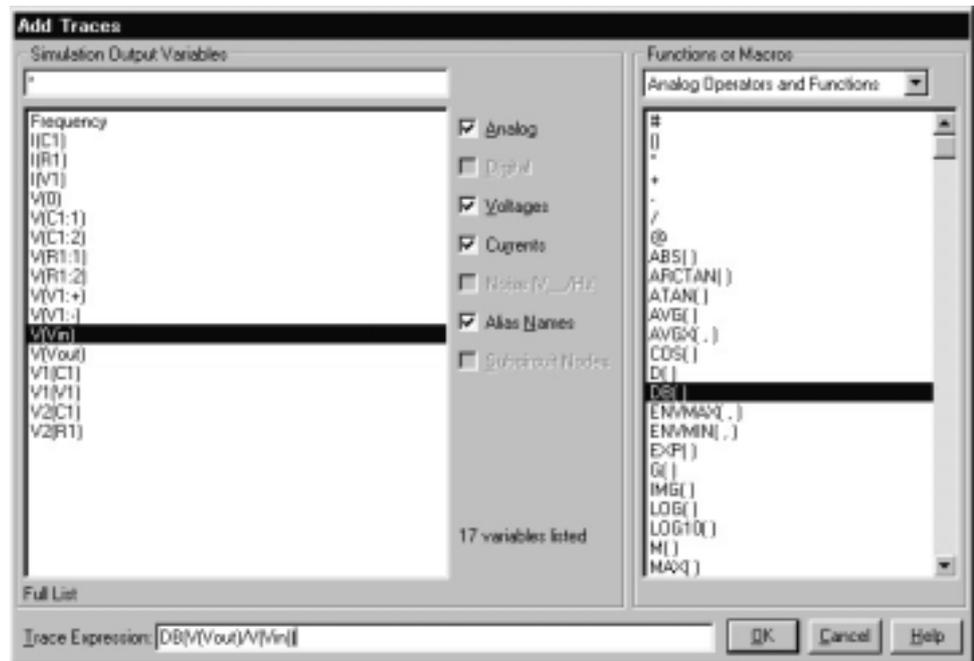


図 m5.7 <Add Traces> ダイアログ

[Trace Expression]に 式 を入力する。(かっこの位置に注意！)

式： $DB(V(Vout)/V(Vin))$

式は次のようにして入力することができる。

--- Functions or Macros ----で, [Analog Operators and Functions]を選択。

“ DB[] ” を選択。

DB[]内に[Simulation Output Variables] の “ V[Vout] ”, “ V[Vin] ” をクリック
選択し代入。“ / ” で区切る。

[OK] をクリックする。

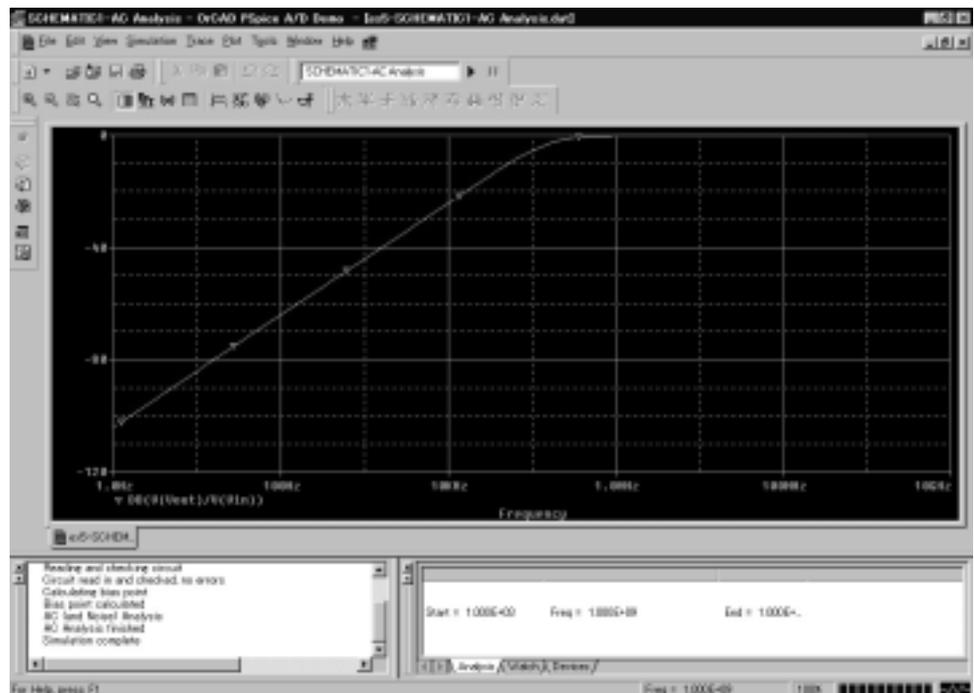


図 m5.8 結果が表示される

2 . バイポーラ接合形トランジスタ解析

2 . 1 静特性

- 1) トランジスタ単体の電気的特性を「静特性」といいます .
- 2) トランジスタを用いた回路の計算は、**特性が非線形**のため、簡単に回路計算ができず、一般には静特性を用いて、作図により求めます .
- 3) トランジスタの接地方式によって静特性は異なりますが、ここでは最も一般的な**エミッタ接地**の静特性を学びます .
- 4) エミッタ接地の場合の代表的な**静特性には次の3つ**があります .

入力特性 ($I_b - V_{be}$ 特性)

電流伝達特性 ($I_c - I_b$ 特性)

出力特性 ($I_c - V_{ce}$ 特性)

2 . 2 入力特性

- 1) **コレクタ・エミッタ間の電圧 (V_{ce}) を一定に保ったときの、入力側電流 I_b と入力側の電圧 V_{be} との関係**を入力特性といいます .

PSpice で図 2.1a の回路図を作成し、図 2.1b の入力特性をプロットしなさい .

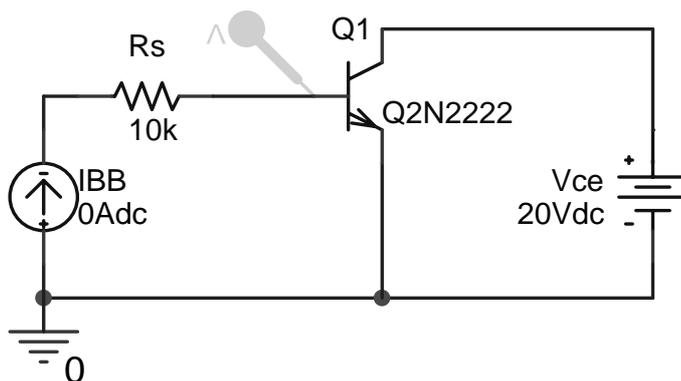


図 2.1a 入力特性を得る回路 (Q2N2222 は EVAL.OLB)

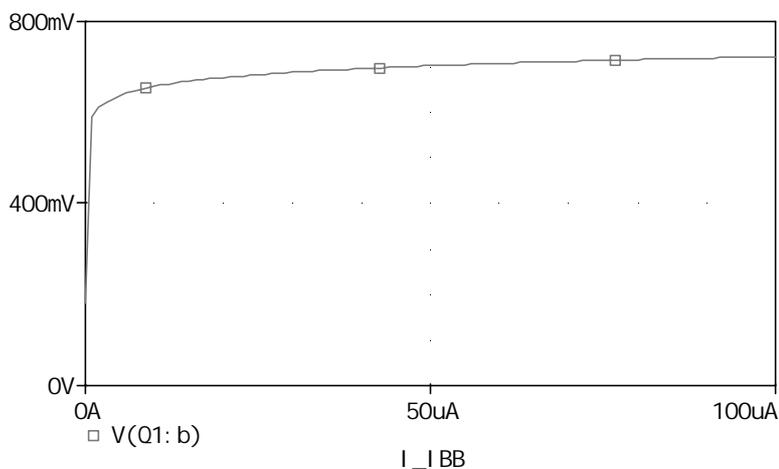


図 2.1b トランジスタの入力特性

グラフ表示体裁のヒント

Plot menu

Axis Settings..

[Y Axis]

User Defined

[X / Y Grid]

Major: Dots

Minor: None

Simulation Settings :

DC Sweep,

Current source
Linear

Name : IBB
Start Value : 0
End Value : 100uA
Increment : 1uA

トランジスタのベース・エミッタ間は、ダイオードの順方向特性であると考えられ、かなりの低入力抵抗特性である。

2) トランジスタの増幅作用は、この入力特性(図 2.1b)の直線部を使用するため、トランジスタのベースには直流電源 V_{BB} を加えて、それに入力信号電圧を重畳して加えます。(図 2.2 参照)

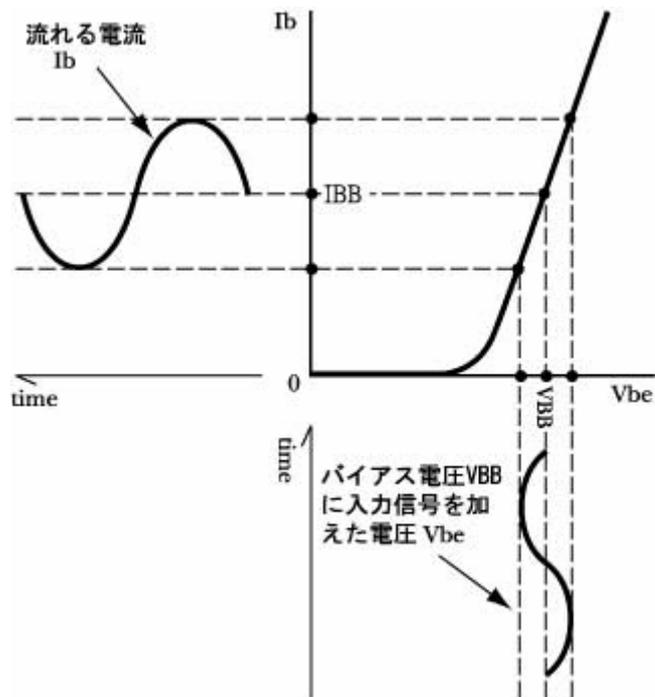


図 2.2 トランジスタの増幅作用は入力特性の直線部を使用

2.3 電流伝達特性

1) コレクタ・エミッタ間の電圧 (V_{ce}) を一定に保ったときの、入力側の電流 (I_b) と出力側の電流 (I_c) との関係を電流伝達特性といいます。

図 2.1a 回路図の電圧 Marker を電流 Marker に変えてコレクタ端子に置き 図 2.3 をプロットしなさい。

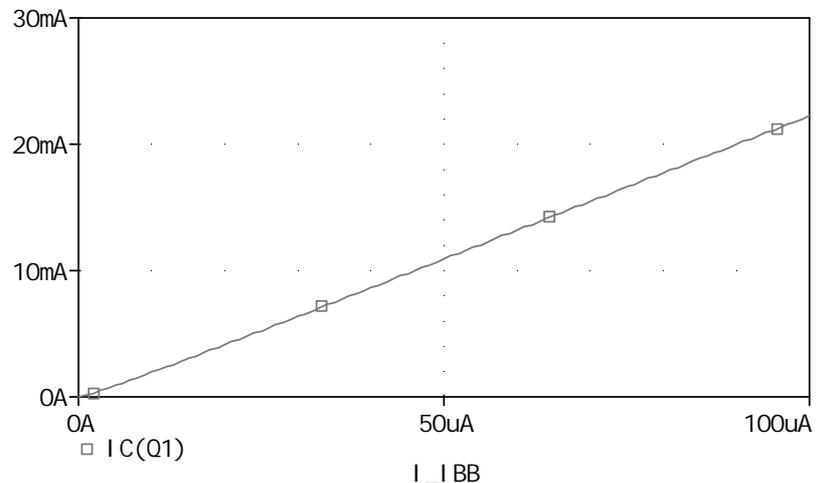


図 2.3 電流伝達特性

Trace Cursor Display で \square キーを使って、ベース電流が 50 μ A 流れるところにカーソルを合わせると、コレクタ電流は 10.9mA 流れている。この比は約 222.5 倍である。一方、回路図のトランジスタをクリックで選択し、Edit メニューから PSpice Model をクリックすれば、モデルパラメータが表れ、理想最大順方向 $\beta_f = 255.9$ が読みとれる。実測の値 222.5 はモデル値の 255.9 の 87% で、妥当な値になっている。

2) 直流電流 I_{BB} と入力信号電流とが重畳した電流 I_b が流れると、そのままの形で増幅された電流 I_c が出力されます。(図 2.4)

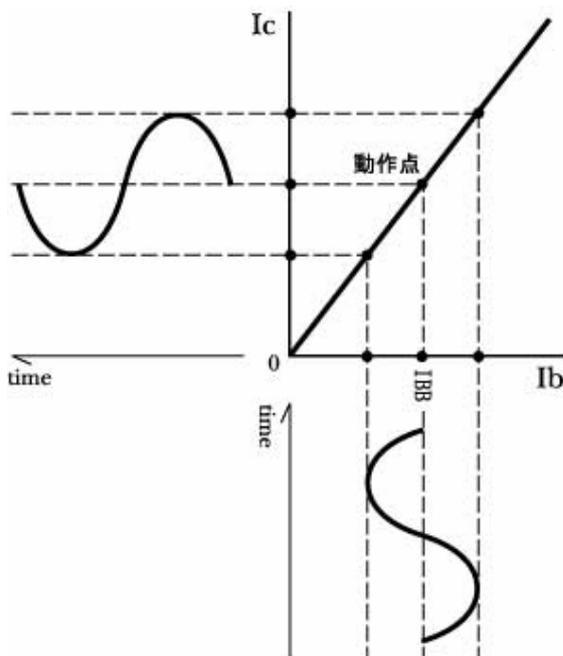


図 2.4 電流伝達特性による電流の増幅

2.4 出力特性

1) ベース電流 (I_b) を一定に保ったときの、出力側の電流 (I_c) と出力側の電圧 (V_{ce}) との関係を出力特性といいます。

2) V_{ce} が 0 ~ 1V 付近までは I_c が急激に増加しますが、1V 以上になると、ほとんど I_c は変化しません(高抵抗出力特性)。

3) トランジスタの増幅作用を利用する時は、 I_c が急激に変化しない上記領域(線形領域)を使用します。

ちゃんと
読んで!

出力特性をプロットするため、回路図は図 2.1a の電圧 Marker を電流 Marker に変えてコレクタ端子に置いたものを用いるが、ベース電流 (I_b) が複数の一定値 ($I_b = 0 \mu A, 20 \mu A, 40 \mu A, 60 \mu A, 80 \mu A, 100 \mu A$) をとる条件を、一度にプロットするために、次の 3 種類の方法を試して比較しなさい。

(1) Secondary Sweep を用いる方法

Analysis type: **DC Sweep**

Voltage source

Name: Vce

Linear

Start Value: 0

End Value: 20

Increment: 0.1 (値に注意!)

として Primary Sweep を設定したあと , Options にある **Secondary Sweep** をチェックすれば , 同様の設定画面が現れるので ,

Current source	Name : IBB
Linear	Start Value : 0
	End Value : 100uA
	Increment : 20uA (値に注意!)

のように設定する . (つまり DC Sweep において Primary Sweep と Secondary Sweep の両方を設定したことになる)

この方法による出力特性を , 図 2.5(1) に示す .

**IBB の値を
コメント入力**

Plot menu

Label

Text

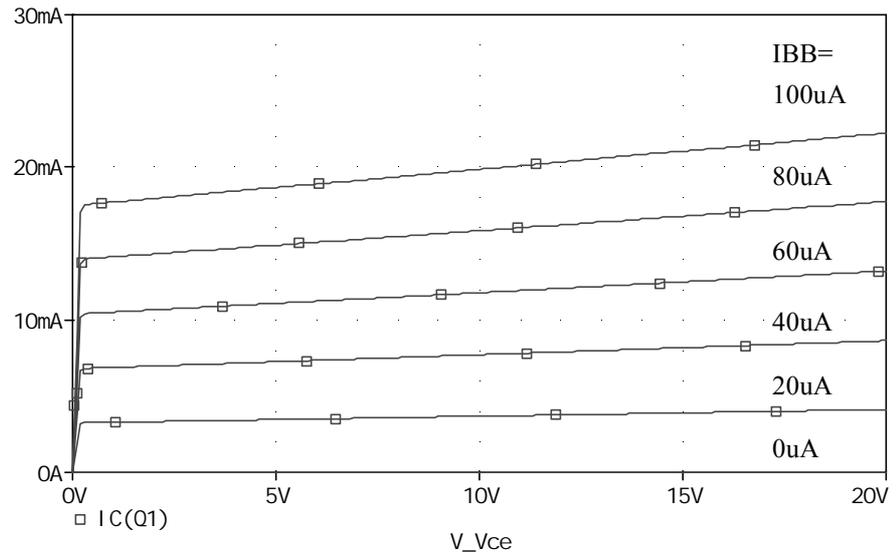


図 2.5(1) Secondary Sweep による出力特性

(2) Parametric Sweep を用いる方法

前項 Secondary Sweep を用いる方法と同じだが , Options で **Parametric Sweep** をチェックする . (注 : Secondary Sweep のチェックは外すこと)

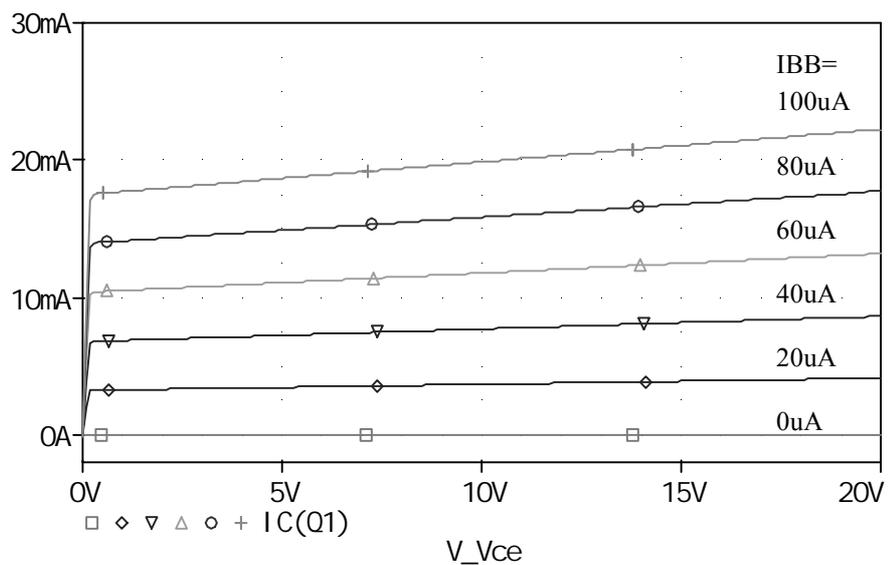


図 2.5(2) Parametric Sweep による出力特性

(3) ページ内に複数の回路（この場合 6 つ）を並べる方法

前項まで使用した回路から，まず右の Vce 部分を切断する．

回路ページ上で右クリックして Zoom Out により回路を適当に縮小する．

電源 Vcc は，[Place] [Power] で CAPSYM ライブラリから VCC を選ぶ．ここでは Vcc = Vce なので，Vce に変更する．

コピー機能（枠指定して Ctrl+C のあと Ctrl+V）を使って図 2.6 のように回路を 6 つ作成する．このとき部品名は同じものがコピーされるので，名前を変更する必要がある（IBB1 ~ IBB6, Rs1 ~ Rs6, Q1 ~ Q6）．また IBB の値も変更して，0 μA, 20 μA, 40 μA, 60 μA, 80 μA, 100 μA とする．（言うまでもないが，Parametric / Secondary Sweep のチェックは外すこと）

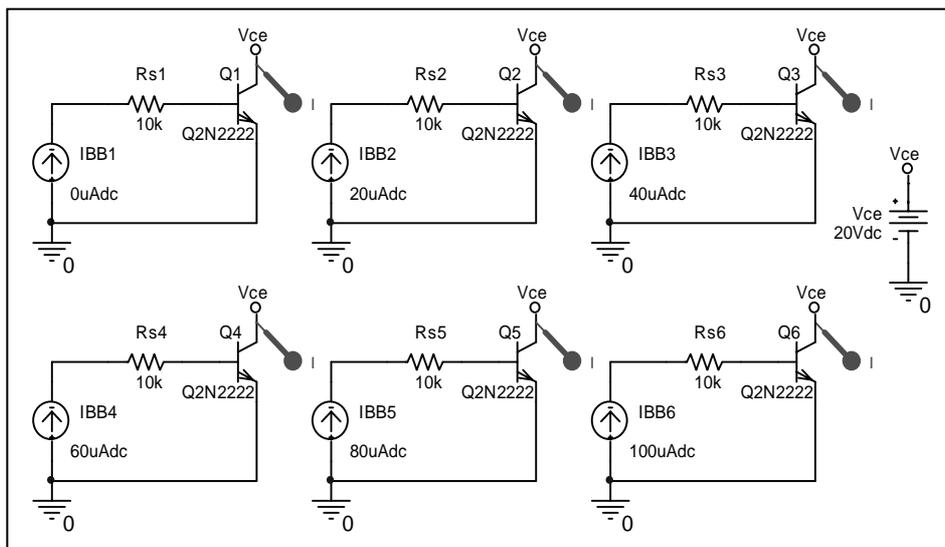


図 2.6 一枚のページに 6 通りの回路を描いて DC スイープ解析を行う．

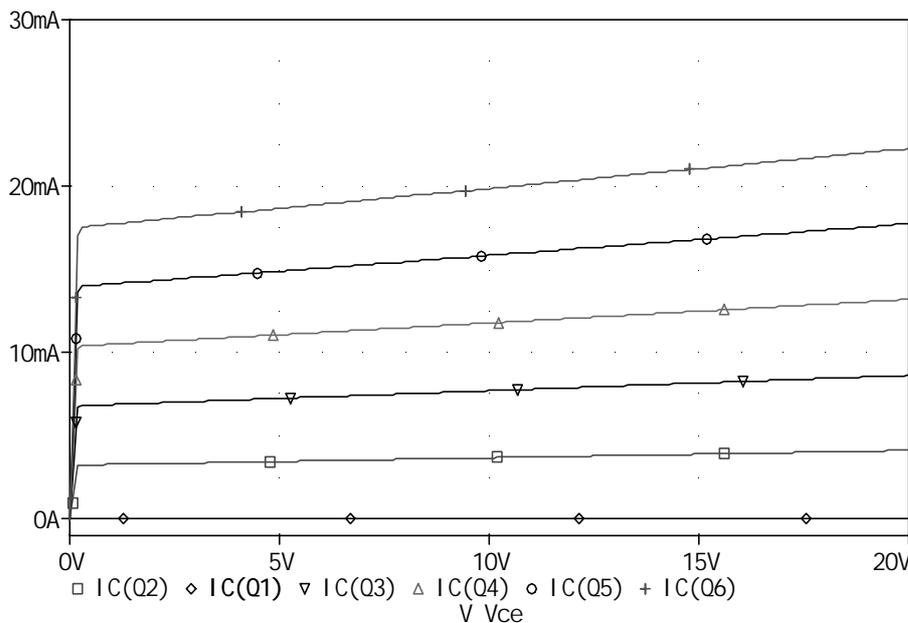


図 2.5(3) 6 通りの回路による出力特性

以上 (1) ~ (3) の，プロット表示の違いに着目せよ．

2.5 増幅作用

1) 動作点

トランジスタに増幅作用をさせるためには、ベース側に V_{BB} 、コレクタに V_{CC} の直流電源が必要です。(なぜ必要かを図 2.2 と図 2.4 で考えてみよう)

直流電源 V_{BB} をベース・バイアス電源、又は単にバイアス電源といい、それによってベース・エミッタ間に加わる電圧をバイアス電圧といいます。

バイアス電圧 V_{BB} によって流れるベース電流 I_{BB} をベース電流 I_b の動作点といい、その電流を伝達してコレクタ側に流れる電流をコレクタ電流 I_c の動作点といいます。(図 2.4 参照)

入力信号が加わると、 I_b, I_c は、各動作点を中心に変化します。

2) 増幅作用

トランジスタの入力側の小さな電流変化 (I_b) によって、出力側の大きな電流変化 (I_c) を得る動作が増幅作用の基本です。

3) PSpice による増幅作用のシミュレーション

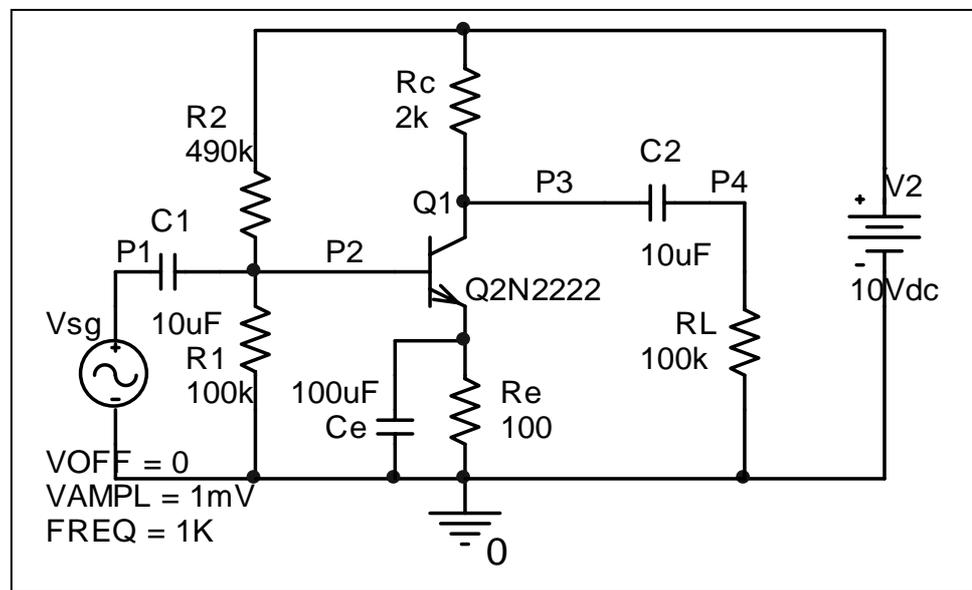


図 2.7 正弦波信号電源を入力に接続(1kHz, 1mV)して増幅特性をみる。

練習問題

図 2.7 の回路図を描き、次の練習(1)~(4)をやってみよう。

練習(1)：回路各部(特に P1, P2, P3, P4)の動作電圧値と電流値を表示せよ。

練習(2)：入力には、正弦波電源(VSIN)を接続(振幅 1mV, 1kHz)してある。正弦波電圧(P1)波形、ベース電圧(P2)波形、およびコレクタ電圧(P3)波形、および負荷抵抗電圧(P4)の波形を、同一のプロット画面に表示せよ。又それぞれの波形の関連を理解して説明せよ。

練習(3)：入力正弦波電源を取り外し、代わりに交流電圧源(VAC)を接続して、この増幅器の周波数特性と位相特性を表示せよ。周波数は 1Hz から 1GHz の範囲とする。又これら特性の意味を理解して説明せよ。

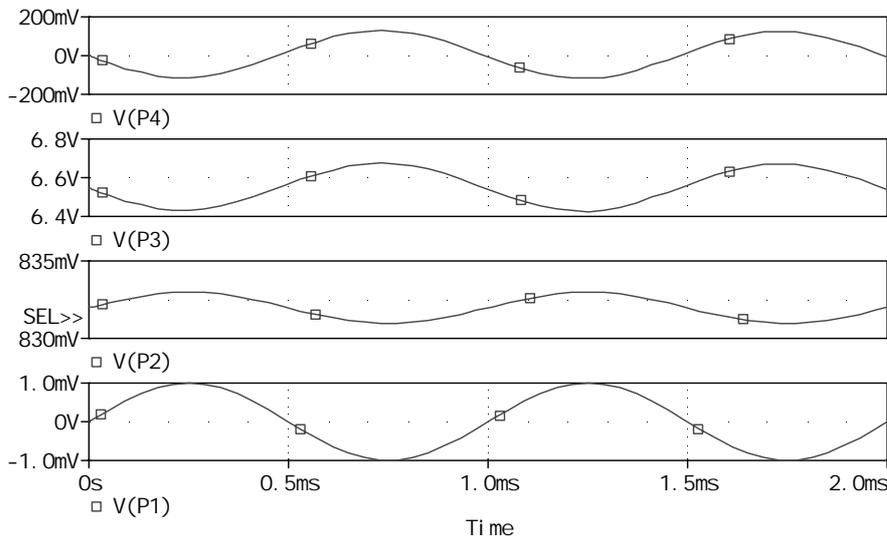
練習(4)：次の Parts のそれぞれの働きを理解して説明せよ。

- R1 と R2 (ベース・ブリーダ抵抗という)
- C1 と C2 (結合コンデンサまたはカップリングコンデンサという)
- Rc (コレクタ抵抗)と、Re (エミッタ抵抗)
- Ce (バイパスコンデンサ、略してパスコンという)

解答

練習(1)： PSpice メニューの Simulation Profile で，Analysis type を Bias Point にして Run させ，Bias Points の Enable にチェックを入れて，電圧には **V** ボタン，電流には **I** ボタンを押せば，回路図上に表示される．

練習(2)： 波形を表示するだけでなく，バイアス電圧や動作点，各部の波形がどのように信号を伝えて増幅されているかを，各自確認して理解しよう．



グラフ窓を増やす：
Plot menu
 Add Plot to Window
 消去するには
 Delete Plot
 選択中の窓は：
 SEL>>

図 2.7a 練習(2)の P1 ~ P4 各部の波形表示．

練習(3)： 入力を交流電圧源(VAC)に変更して，周波数を 1Hz から 1GHz まで可変したときの出力特性を見るため，出力 P4 に対して AC Sweep 解析を行う．

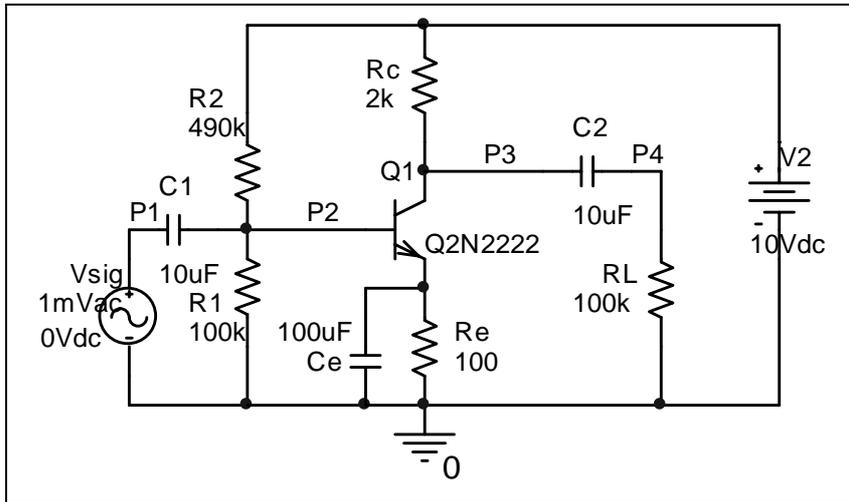


図 2.8 周波数特性解析のため，図 2.7 の入力に交流電圧源 VAC を接続．

周波数特性 (図 2.9 上) は，低域・中域・高域に分類され，増幅作用には中域を使用する．低域・高域が低下する理由を考えてみよう．

位相特性 (図 2.9 下) も，低域・中域・高域に分類され，増幅作用には中域を使用して，逆位相の 180° (degree) となる．低域・高域の位相はそうならない理由を考えてみよう．

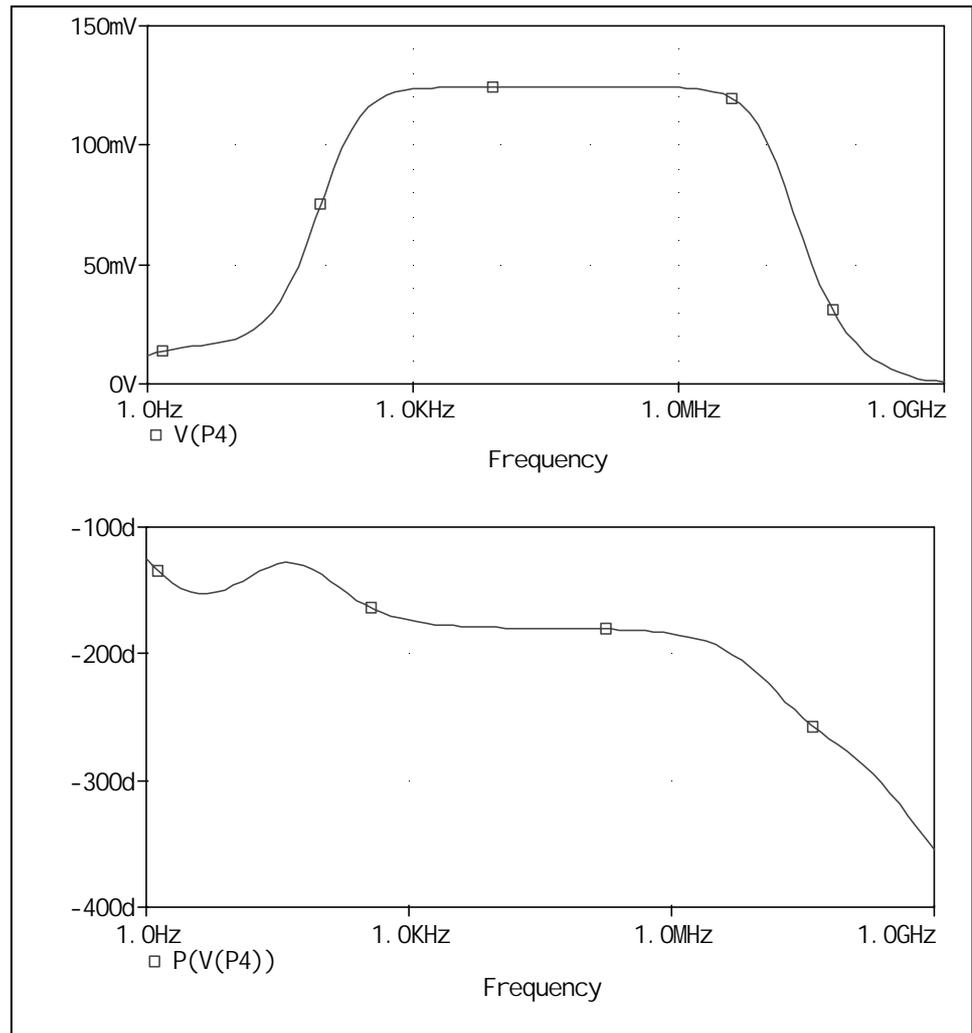


図 2.9 出力特性 上図：周波数特性，下図：位相特性 (p)

練習(4)： 次の Parts の働きについてヒントを述べる。(詳細は授業で)

a) R1 と R2 (ベース・ブリーダ抵抗)

バイアス電圧 V_{BB} はどうやって得られるか考えてみよう。

b) C1 と C2 (結合コンデンサ)

トランジスタの入力側の小さな電流変化 (I_b) によって，出力側の大きな電流変化 (I_c) を得る動作が増幅作用の基本ですね。

c) R_c (コレクタ抵抗) と，R_e (エミッタ抵抗)

もしこれらの抵抗が無かったらどうなるか考えてみよう。

コレクタ電圧 (P3) はどうなるか。

ベースバイアス電圧 V_{BE} はどうなるか。

d) C_e (バイパスコンデンサ)

入力信号は通常，とても微弱ですね。

時間に余裕のある人は，上の Parts の値を変更したり，無くしてみたりして，シミュレーション結果がどのように変化するかを考察してください。

4) 負荷線

トランジスタにコレクタ抵抗 R_c を接続したときの、コレクタ電流 I_c と、コレクタ・エミッタ電圧 V_{ce} の関係を示した直線を負荷線といいます。

負荷線は、一般に出力特性 ($I_c - V_{ce}$ 特性) 上に作図します。

バイパスコンデンサ C_e により、直流 dc と交流 ac の伝わり方が違うために、負荷線には、dc 負荷線と ac 負荷線があります。

練習問題

練習(1)： 図 2.13 の回路図の dc 負荷線および ac 負荷線を求めなさい。

練習(2)：(時間に余裕のある人のみ練習して下さい。解答も省略します) この回路の周波数特性を 1Hz から 1GHz 間で求めよ。ただしトランジスタに流す電流は 7mA 以下とする。

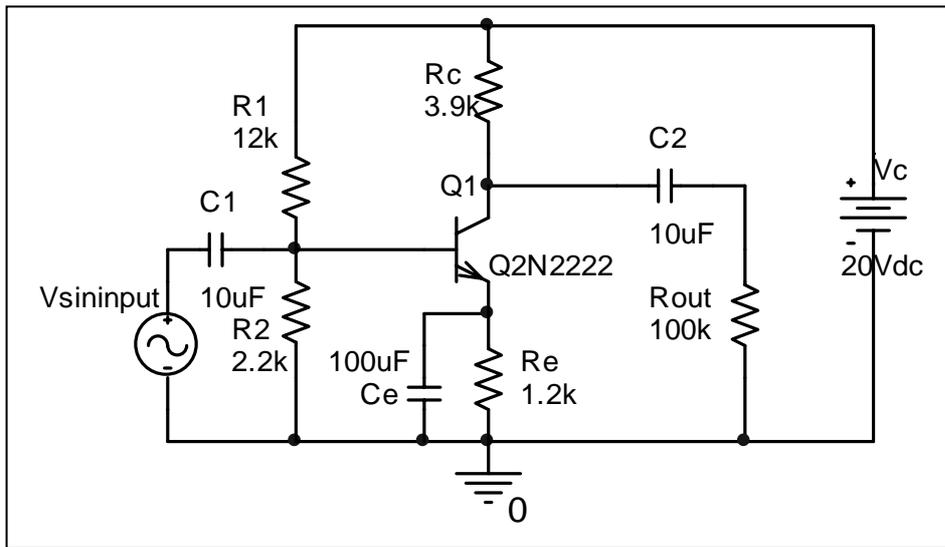


図 2.13 エミッタ接地回路の動作点を求める回路

解答

練習(1)： dc 負荷線および ac 負荷線は、図 2.14 から得られるこのトランジスタの出力特性 (図 2.15) 上に、図 2.13 の回路図の抵抗値などを参考にして、計算をした後にプロット (図 2.15 における 2 直線) する。

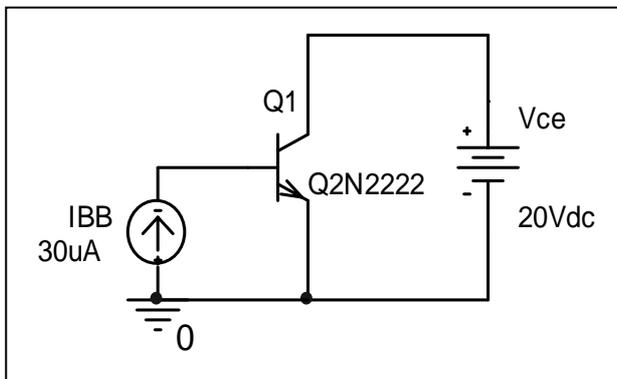


図 2.14 出力特性を求めるための回路

IBB の最大を 30uA 程度にしたのは題意の $I_c = 7mA$ 以下を満たすためである。

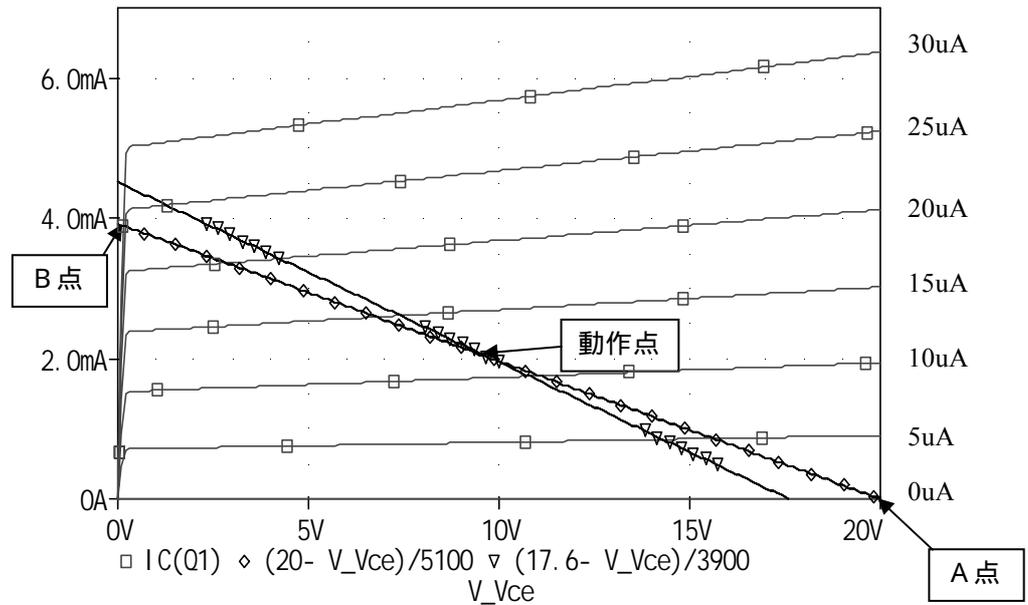


図 2.15 直流負荷線と交流負荷線を描く

図 2.13 の回路図を参考にして計算をすると、

直流負荷線：DC Load Line の式 $(20 - V_{Vce}) / 5100$

交流負荷線：AC Load Line の式 $(17.6 - V_{Vce}) / 3900$

動作点：Quiescent Point (2mA, 9.8V)

となる。(計算の方法は以下)

まず直流負荷線を求める。

$$\text{全 dc 負荷} = R_c + R_e = 3.9\text{k}\Omega + 1.2\text{k}\Omega = 5.1\text{k}\Omega (= 5100)$$

ここで、

$$V_{CE} = V_{CC} - (R_c + R_e) \cdot I_c$$

である (V_{CC} は図 2.13 では V_c) から、 $I_c = 0$ のとき、

$$V_{CE} = V_{CC} = 20\text{V}$$

となって、

$$\text{点 A: } I_c = 0 \text{ のとき } V_{ce} = 20\text{V}$$

を得る。また $V_{CE} = 0$ のとき、

$$V_{CE} = V_{CC} - (R_c + R_e) \cdot I_c = 0 \text{ から、}$$

$$I_c = \frac{V_{CC}}{R_c + R_e} = \frac{20\text{V}}{5.1\text{k}\Omega} = 3.9\text{mA} \text{ (ただし } V_{ce} = 0)$$

よって、

$$\text{点 B: } I_c = 3.9\text{mA}, V_{ce} = 0$$

が得られる。直流負荷線は点 A と点 B を結んだ直線である。

$$\text{図から直線の y 切片} = 3.9\text{mA} = 20 / 5100$$

$$\text{図から直線の傾き} = -3.9\text{mA} / 20 = -(20 / 5100) / 5100 = -1 / 5100$$

したがって直線の式は $(20 - V_{Vce}) / 5100$ となる。

次に動作点 Q を求めてみよう。(ただし近似式)

$$V_B = V_{CC} \times \frac{R_2}{R_1 + R_2} = \frac{20\text{V} \times 2.2\text{k}\Omega}{12\text{k}\Omega + 2.2\text{k}\Omega} = 3.1\text{V}$$

そして、

$$I_E \cdot R_E = V_B - V_{BE} = 3.1V - 0.7V = 2.4V$$

$$I_E = \frac{V_B - V_{BE}}{R_E} \quad I_C = \frac{2.4V}{1.2k\Omega} = 2mA$$

これを直流負荷線の式に代入して、

$$2mA = (20 - V_{Vce}) / 5100$$

を解けば、

$$V_{Vce} = 20 - 2 \times 5.1 = 9.8V$$

つまり動作点 Q は (2mA, 9.8V) となる。

交流負荷線も動作点を通るので、直線の傾きが分かれば直線の式が分かる。

ここで出力の 100kΩ を無限大と考え、交流の周波数が十分に大きいと考えれば、コンデンサ C_e は短絡しているのと同じであるから、

$$ac \text{ 負荷の値は } R_c = 3.9k\Omega = 3900\Omega$$

だけになる。ここで直線の傾きを a とすれば、

$$a = -(I_C / V_{Vce}) = -1 / R_c = -1 / 3900$$

である。つまり動作点 Q(y, x) を通る傾き a の直線の式

$$y = a \cdot x + c$$

を移項して、直線の y 切片 c は、

$$\begin{aligned} c &= y - a \cdot x = 2mA + 9.8 / 3900 = (2 \times 3.9 + 9.8) / 3900 \\ &= 17.6 / 3900 \end{aligned}$$

が得られる。

したがって ac 負荷線の式は $(17.6 - V_{Vce}) / 3900$ となる。

【重要】 入力信号電圧は、入力特性で V_{be} I_b (図 2.2) に、電流伝達特性で I_b I_c (図 2.4) と増幅され、出力特性上の交流負荷線で I_c V_{ce} (図 2.15 a) となり出力信号電圧へと伝達される。いずれも線形部分を使用している。

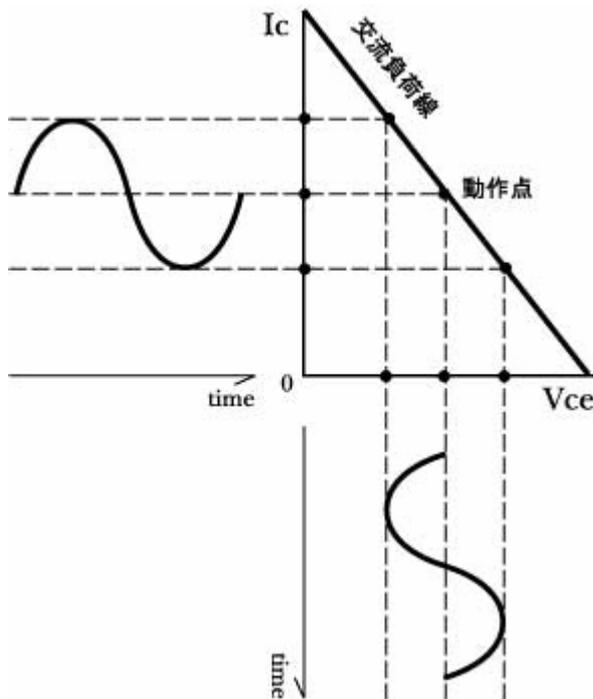


図 2.15 a 交流負荷線による出力信号の伝達

正確な動作点の考え方（参考）

図 2.16 は、ベースバイアス電圧 V_{BB}

$$V_{BB} = V_{cc} \cdot \frac{R_1}{R_1 + R_2} = 15V \cdot \frac{22K}{22K + 82K} = 3.173V$$

に $R_b = R_1 // R_2 = 17346$ が直列接続されているテブナン等価回路となる。

一方、 $I_{CQ} = I_{BQ} \cdot \beta$ $I_{EQ} = I_{BQ} \cdot (1 + \beta)$ であり、

$V_{BB} = R_b \cdot I_{BQ} + V_{BEQ} + R_e \cdot I_{EQ} = [R_b + (1 + \beta) \cdot R_e] \cdot I_{BQ} + V_{BEQ}$ 移項して、

$$I_{BQ} = \frac{(V_{BB} - V_{BEQ})}{R_b + (1 + \beta) \cdot R_e} = \frac{3.173 - V_{BEQ}}{17346 + 1200 \cdot (1 + \beta)}$$

ここで実験またはシミュレーション結果から、

$$V_{BEQ} = 0.636 \quad \beta = 178.2$$

が測定できれば代入して計算し、

$$I_{BQ} = 10.92 \mu A$$

が求まる。図 2.16 から、

$$V(Q1:B) = V(P2) = V_{BB} - I_{BQ} \cdot R_b = 3.173 - 10.92 \mu A \cdot 17346 = 2.984$$

などを確かめることができる。

また $I_{CQ} = I_{BQ} \cdot \beta$ $I_{EQ} = I_{BQ} \cdot (1 + \beta)$

が求められるから、

$$V(Q1:C) = V(P3) = V_{cc} - I_{CQ} \cdot R_c = 8.579$$

$$V(Q1:E) = I_{EQ} \cdot R_e = 2.348$$

なども図 2.16 から確認できる。また、

$$V_{CEQ} = V_{cc} - I_{CQ} \cdot R_c - I_{EQ} \cdot R_e = 8.579 - 2.348 = 6.231$$

が計算できる。

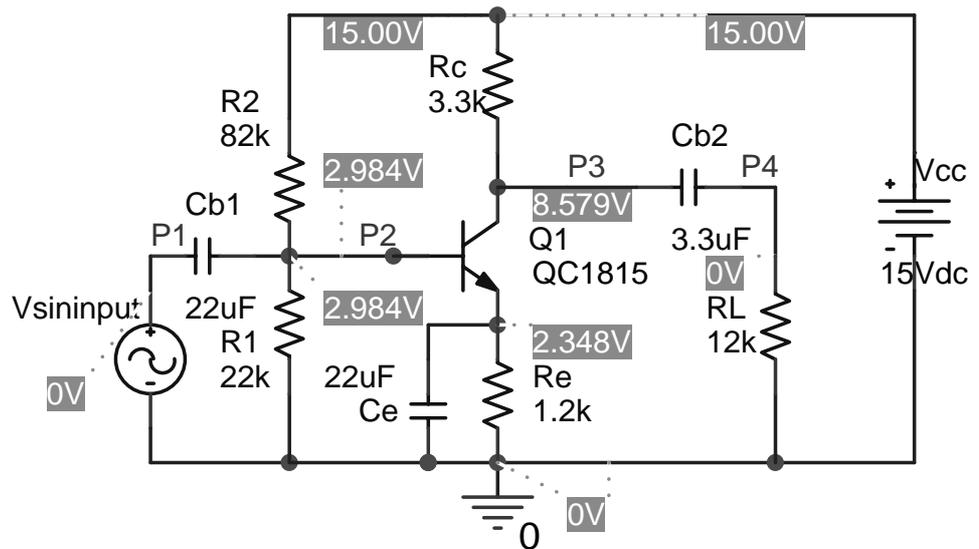


図 2.16 実験回路

3 . 制御電源と等価回路（時間に余裕のある人のみ）

電子回路では回路中にある他の電圧源や電流源に制御される電流源あるいは電圧源を考える場合が多い．特にトランジスタは入力と出力が相互に影響しあっている事から等価回路では制御電源の考え方は不可欠になる．ここでは Pspice に用意されている制御電源の使い方を学び、後でトランジスタの等価回路に応用する．

Pspice は 4 種類の制御電源を持っている．それらは電圧制御電圧源(PartName : E) , 電流制御電流源 (PartName : F) , 電圧制御電流源 (PartName : G) , および電流制御電圧源 (PartName : H) である .

3 . 1 電圧制御電圧源 (PartName : E)

図 3.1 回路図中の E1 が電圧制御電圧源である .

- ・ 入力 は + と - で , 出力 は 印の中に + と - である .
- ・ 入力には電圧が印可されなければならない .
- ・ 素子の GAIN(利得)係数 : G を設定すれば , 出力電圧は入力の G 倍になる .
- ・ GAIN の指定は , E1 をダブルクリックするとパラメータ表が現れる . デフォルトには GAIN = 1 (以前に変更しておればその数値に) になっている .
- ・ GAIN = 2 に変更してみよう . カーソルを GAIN の文字に合わせてから , 上のコラムに数値 2 を書き込み OK をクリックする . E1 の入力制御電圧は 10V であるから出力電圧は 20V になる電圧増幅回路となった .
- ・ 電圧値と電流値を表示させて確認してみよう .

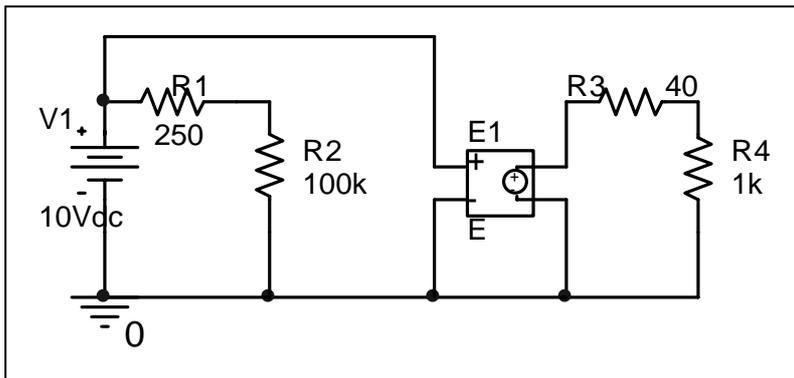


図 3-1 電圧制御電圧源(E1)を持つ回路

【使用上の注意点】

図 3-2 に , よくある失敗例を示す . 物理的にありえない回路である .

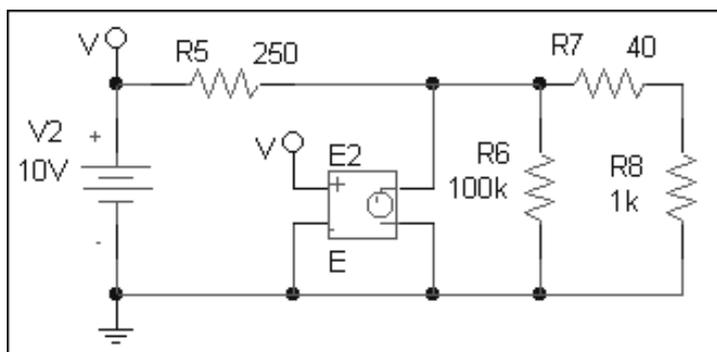


図 3-2 電圧制御電圧源を接続して負の電圧電源を持ってしまった回路

3.2 電流制御電流源 (Part Name: F)

電流制御電流源 F の例を図 3.3 に示す。

- ・ 入力 は 下向き の 矢印 だけ で , 出力 は 中に 矢印 が 記入 さ れ て い る .
- ・ 矢印 の 向 き が 電 流 の 流 れ る 向 き で あ る .
- ・ F1 の 部 品 を ダ ブ ル ク リ ッ ク し て パ ラ メ ー タ を 表 示 さ せ , GAIN = 3 に 変 更 す れ ば 入 力 電 流 の 3 倍 の 電 流 を 出 力 す る 電 流 源 と な る .
- ・ 図 中 で F1 の 出 力 側 の 電 圧 が 負 に な っ て い る の は 電 流 の 向 き が 下 向 き に な っ て い る か ら で あ る .

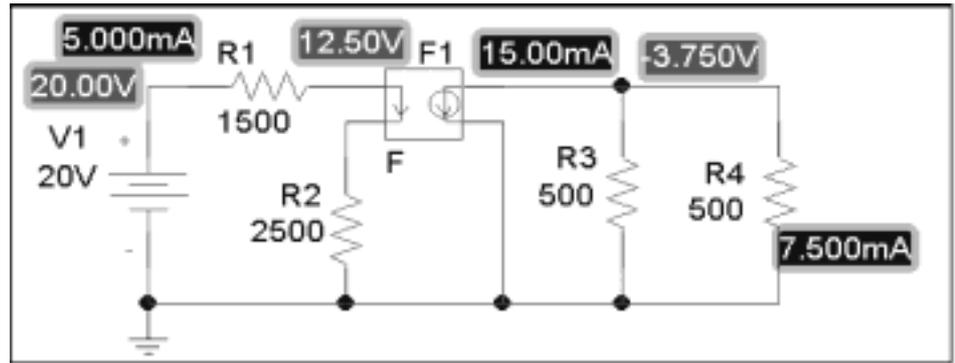


図 3-3 電流制御電流源 F1 を持つ回路図

【使用上の注意点】

図 3-4 に F1 入力 の 接 続 点 を R2 に 並 列 に 接 続 し た 例 を 示 す . R2 の 両 端 は F1 の 電 流 入 力 端 に よ っ て 短 絡 さ れ て し ま う こ と に な る . この 回 路 の 電 圧 値 と 電 流 値 を 表 す と R2 の 両 端 の 電 圧 は 0V に , 流 れ る 電 流 は 0A に な る こ と が わ か る . つ ま り 電 流 入 力 端 に 並 列 に 抵 抗 を 接 続 し て も 無 意 味 で あ る . し た が っ て , 電 流 入 力 を 使 用 す る と き は この 点 に 十 分 注 意 し た 回 路 を 造 ら な け れ ば と ん で も な い 勘 違 い を し た 回 路 を 作 っ て し ま う .

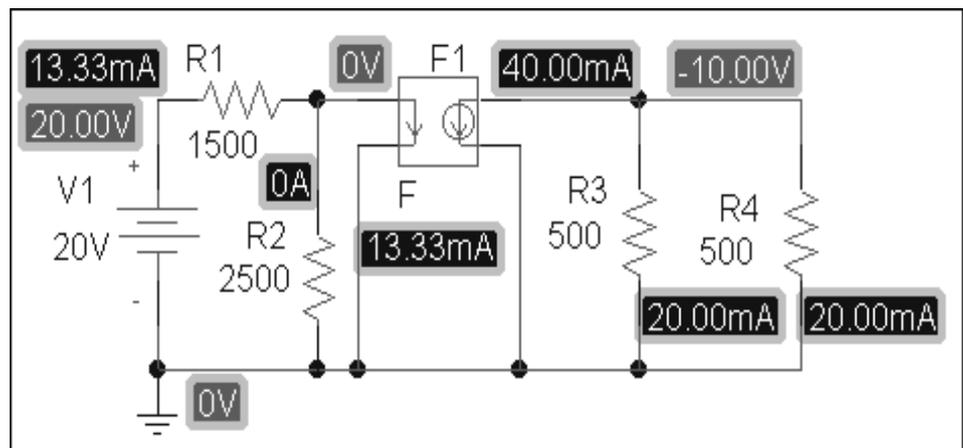


図 3-4 R2 に並列に電流源を接続した例 . F1 の入力電流は R1 に流れる電流になる . R2 の両端の電圧はゼロである . F1 の GAIN は 3 に設定した .

3.3 電圧制御電流源 (PartName: G)

図 3-5 に電圧制御電流源 G1 を持つ回路例を示した。

- ・ G1 をダブルクリックして GAIN = 2 としてみた。
- ・ G1 に入力される電圧の 2 倍の電流を出力電流源となる。

・ この回路では 35V の直流電圧源 V1 に R1 と R2//R3 が直列に接続されているので、R2//R3 の両端の電圧は 25V である。したがって G1 は $2 \times 25 = 50A$ の電流源となり、R4//R5 回路に 50A の電流を供給する。したがって R4//R5 の両端の電圧は $50A \times 250 = 12500V$ にもなる。

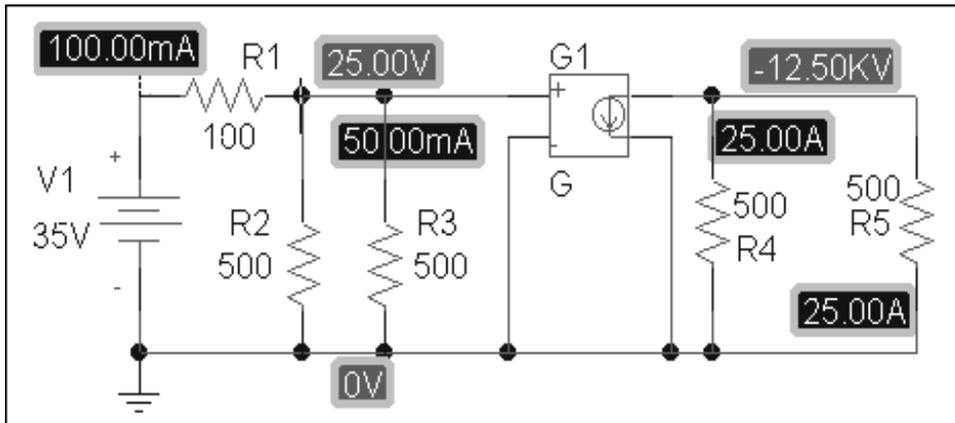


図 3-5 電圧制御電流源 G を持つ回路(GAIN=2 に設定)

3.4 電流制御電圧源 (PartName: H)

図 3-6 に電流制御電圧源(H1)を持つ回路を示す。

- ・ H1 をダブルクリックして GAIN=4 に設定しよう。

・ H1 の電流入力は R3 と直列に接続されている。直流電源電圧が 35V であるから回路に流れる電流は 100mA となり、R3 に流れる電流は R2 に流れる電流と同じで 50mA となる。したがって、H1 は $50m \times 4 = 200mV$ の電圧を供給する電圧源となる。この場合の単位は入力側の単位を用いる。ここでは mA であるから、出力は mV となり、R4//R5 の両端の電圧は 200mV になる。

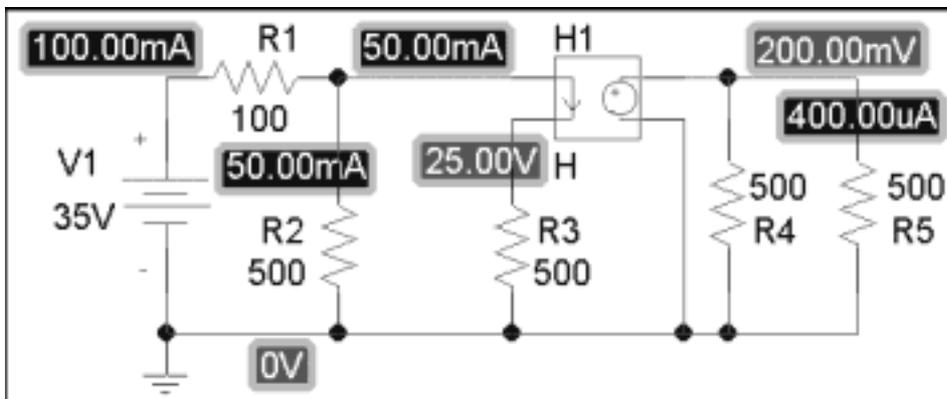


図 3-6 電流制御電圧源 H を持つ回路(GAIN=4 に設定)

50mA 入力で GAIN=4 であるから 200mV の電圧源になる。

4 . 小信号特性

4 . 1 h パラメータを使ったトランジスタの等価回路

トランジスタ回路のバイアス設計が済むと小信号特性を求めることになる。この特性を表現するパラメータに **h パラメータ** (hybrid の頭文字) がある。

この場合 h パラメータには次の 4 つがある。(最後の e はエミッタ接地の意)

- h_{ie} (入力インピーダンス) : 入力 input : 図 2.1b の直線部の傾き
- h_{fe} (順方向電流増幅率) : 順方向 forward : 図 2.3 の直線の傾き
- h_{oe} (出力アドミッタンス) : 出力 output : 図 2.5 の直線部の傾き
- h_{re} (電圧帰還率) : 帰還 reverse : V_{ce} V_{be} への影響

図 4-1 に h パラメータを使ったトランジスタの等価回路を示す。

通常 $h_{ie} > h_{fe}$ $h_{oe} > h_{re}$ の関係があるので、 h_{re} や h_{oe} を省略した等価回路が実際に使用される場合が多い。

(a) が 4 つの h パラメータすべてを使って表現した等価回路、

(b) は h_{re} を省略したもの

(c) は h_{re} と h_{oe} を省略して、 h_{ie} と h_{fe} だけで表現した等価回路である。

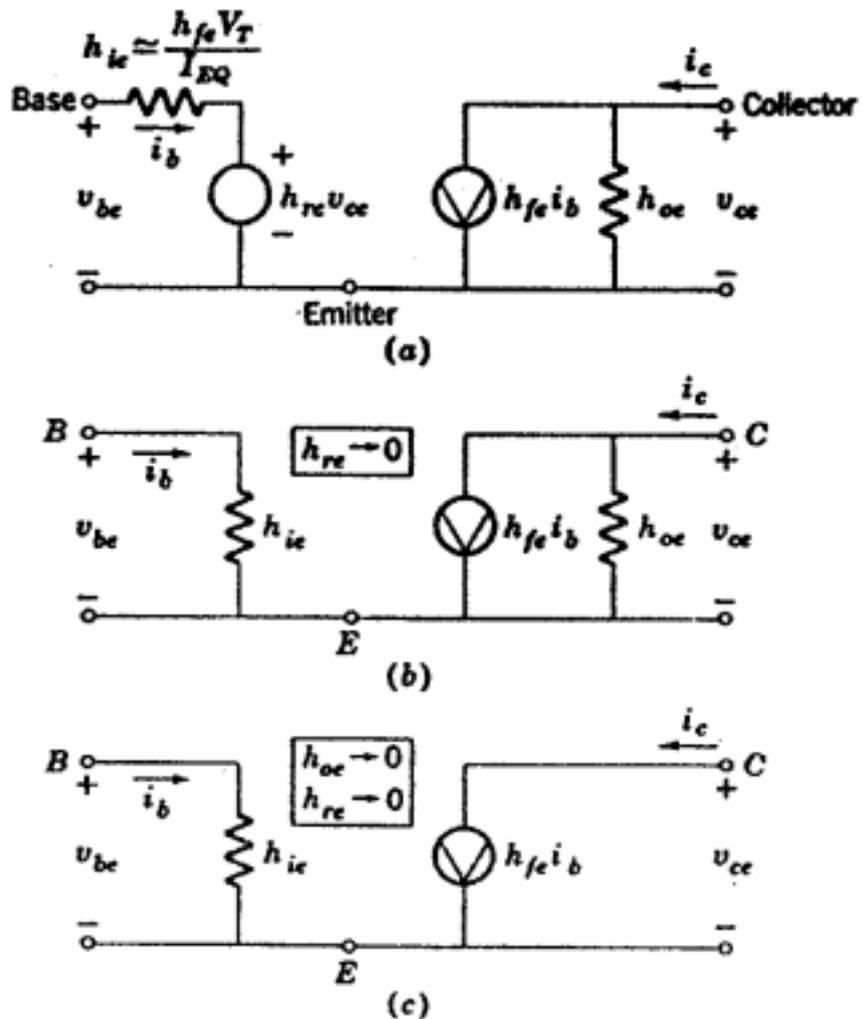


図 4-1 h パラメータを使ったトランジスタの等価回路

図 4-1(a)を制御電源で置き換えた等価回路で表現した例を図 4-2 に示す .

h パラメータは次の値を用いた :

- ・ hie : 抵抗 RI = 1.1k
- ・ hfe : 電流制御電流源 F1 = 50
- ・ hre : 電圧制御電圧源 E1 = 2.5E - 4
- ・ 1 / hoe : 抵抗 RO = 40k (アドミッタンスは抵抗 の逆数)

hre は出力側の電圧が入力に影響する度合いを表すもので ,電圧制御電圧電源 Eを用いる . GAIN には浮動小数点 2.5E - 4 のまま入力できる .

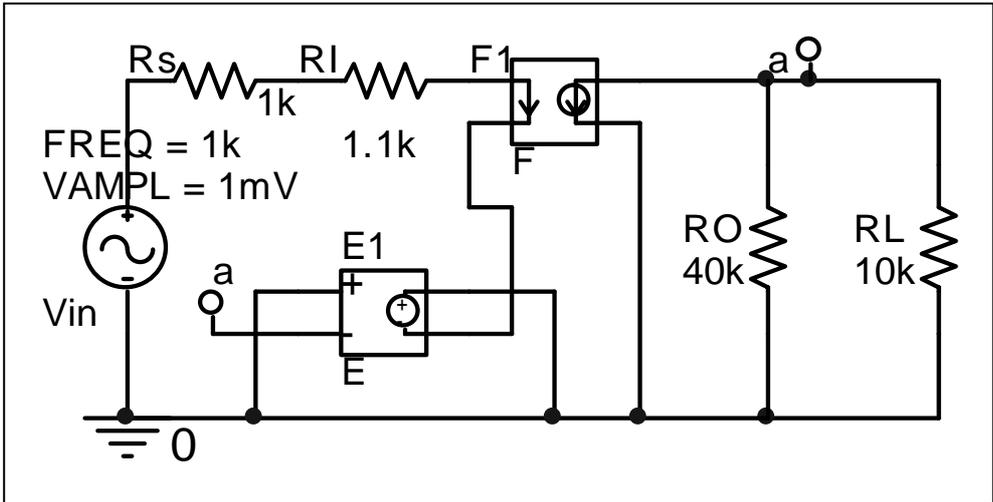


図 4-2 h パラメータを制御電源で置き換えたトランジスタ等価回路
(時間に余裕のある人のみ , 作図して解析してみよう)

図 4-3 に実行結果を示した .

最上段グラフは F の出力電流で RO // RL の並列抵抗に生じた電圧を表している .
真ん中グラフは hre の効果を示した . 入力側に影響してきた帰還電圧である .
最下段グラフは発信器の出力電圧で , 振幅 1mV , 周波数 1kHz に設定してある .

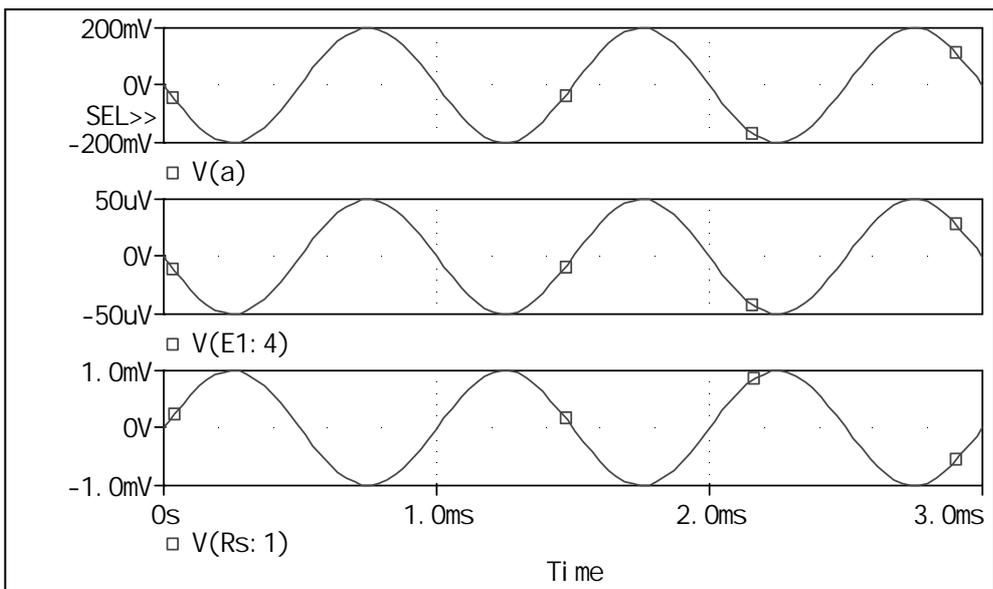


図 4-3 等価回路 (図 4.2) の解析結果

4. 2 $h_{ie} / h_{fe} / h_{oe}$ を「カーソル機能」で求める

PSpiceのカーソル機能を使って、 h パラメータを求める。
 (時間に余裕のある人は、以前作った回路を等価回路で置き換えて比較せよ)

図 4-4 に h_{ie} を求めるための回路図を示す。 h_{ie} の定義は、

$$h_{ie} = \frac{v_{be}}{i_b} \quad \text{ただし } v_{ce} = 0 \quad (4-1)$$

である。したがって、解析結果の図 4-5 で、

$v_{be} = 20 \mu\text{A}$ および $40 \mu\text{A}$ の時のベース電流

をそれぞれ読みとり、その差分から式 (4-1) にしたがって計算すればよい。

カーソル 1 と 2 を使って座標を読みとると便利である。

ここでカーソル 1 が、 $i_{b2} = 40 \mu\text{A}$ のとき、 $v_{be2} = 608.478\text{mV}$

およびカーソル 2 が、 $i_{b1} = 20 \mu\text{A}$ のとき、 $v_{be1} = 590.225\text{mV}$

を読み取れる。したがって $h_{ie} = 18.253\text{mV} / (40 - 20) \mu\text{A}$ 程度になる。

(カーソルの移動方法は次ページにある。詳細は授業で説明する)

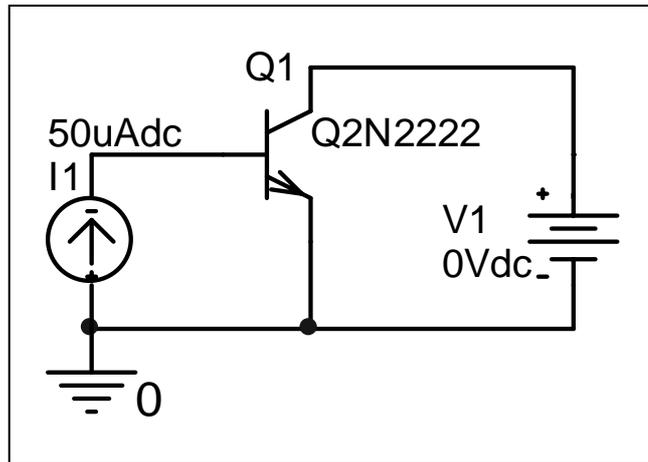


図 4-4 h_{ie} (入力インピーダンス) を求めるための回路図

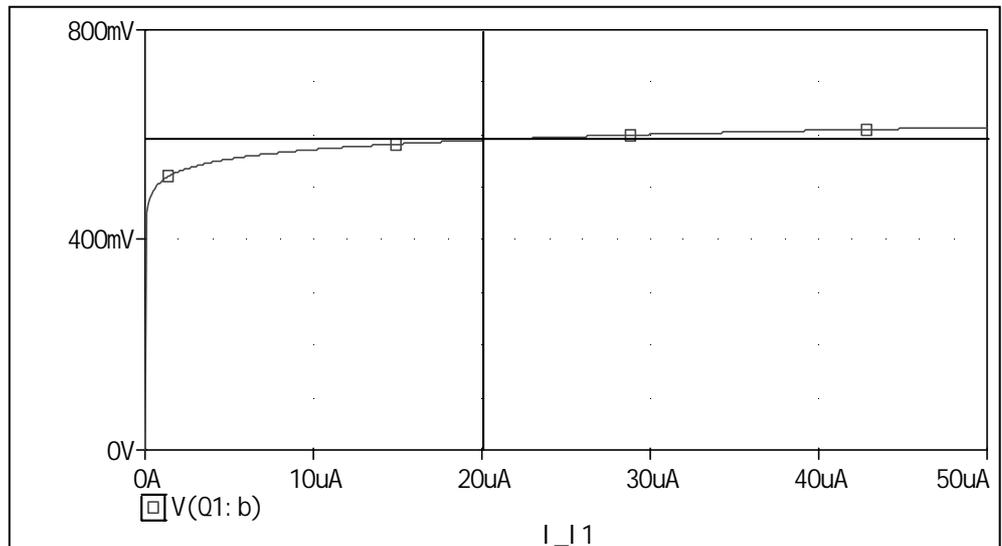


図 4-5 解析結果、 h_{ie} (入力インピーダンス) をこのグラフから求める

【カーソル移動について】

カーソル1（左クリックで出現）の移動：

X軸： or

パラメータ間： Ctrl + or

カーソル2（右クリックで出現）の移動：

X軸： Shift + or

パラメータ間： Shift + Ctrl + or

図 4-6 に hfe と hoe を求めるための回路図を，図 4-7 に解析結果を示す。

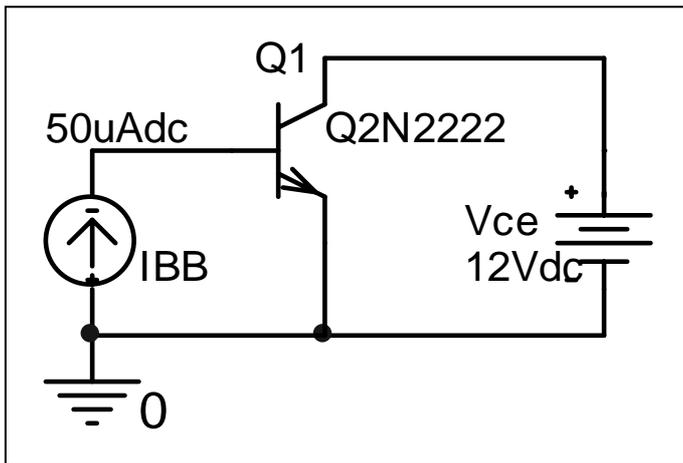


図 4-6 hfe（電流増幅率）と hoe（出力アドミタンス）を求める回路

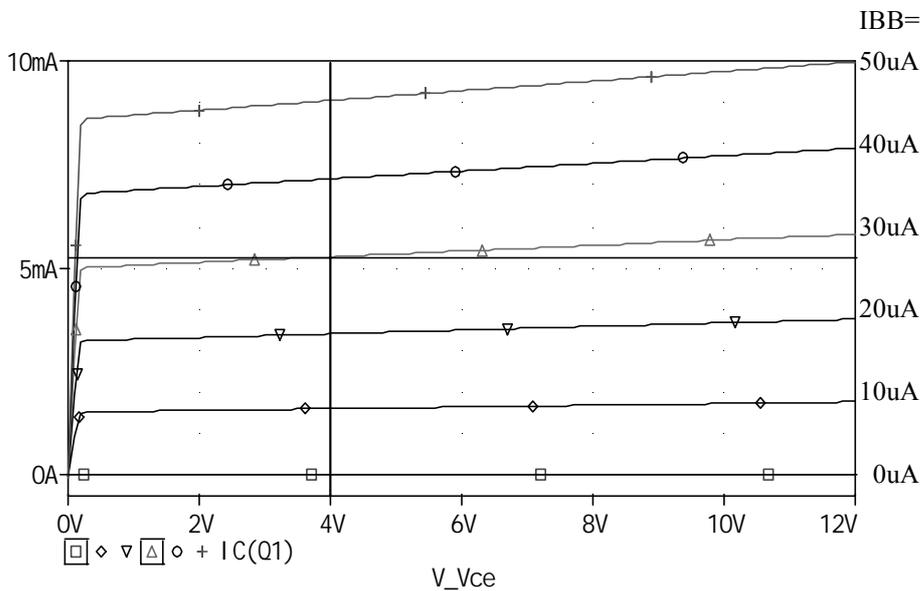


図 4-7 Vce と IC の関係を DC Sweep で，IBB を Parametric Sweep した。

カーソル1を IBB = 30uA のグラフ上に，カーソル2を IBB = 20uA のグラフ上に置いて，両カーソルが Vce = 6V の時，

$$hfe = IC / IBB = \text{両カーソル y 座標 mA} / (30 - 20) \mu A \quad 200$$

が得られ，IBB = 30uA のグラフ上に両カーソルを置き，Vce が 4V と 8V の時，

$$1 / hoe = Vce / IC = (8 - 4)V / \text{両カーソル y 座標 mA} \quad 14.68k$$

が得られる。

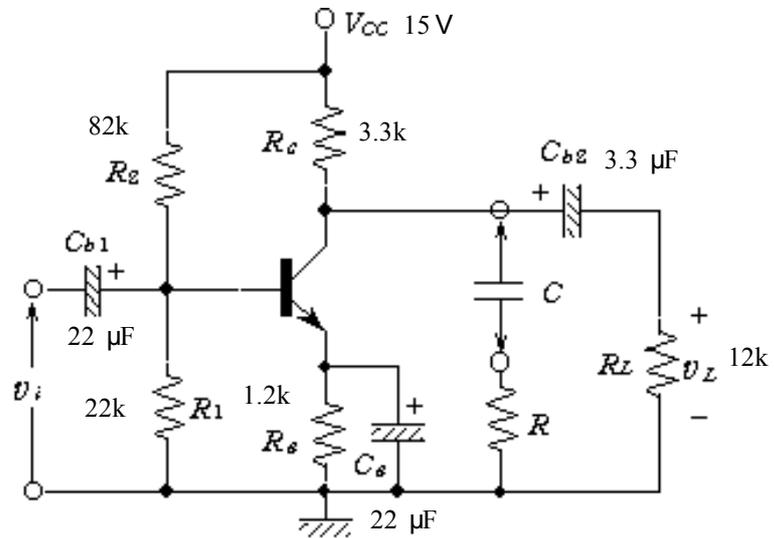
5 . 実験回路のシミュレーション

5 . 1 実験回路と測定

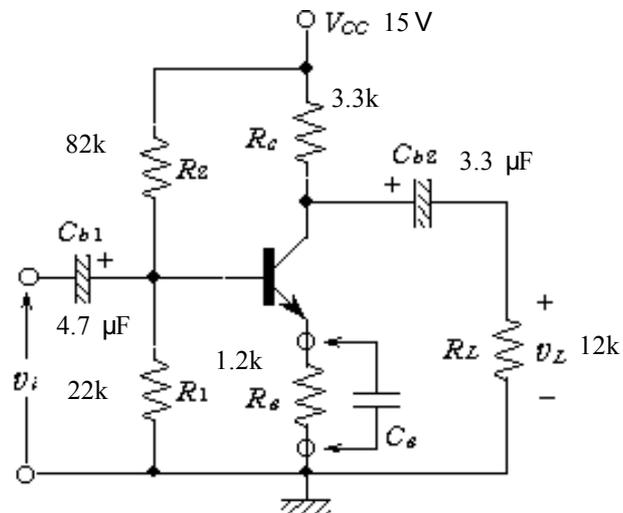
図 5.1(a),(b)の2つの回路を PSpice にて製作する。(図 2.16 を参照)

(a)の回路は CR の直列回路を用いない場合と用いた場合について,

(b)の回路は パスコン C_e を用いない場合と用いた場合について測定する.



(a)



(b)

図 5.1 実験回路

トランジスタ= 2SC1815 (TORAGI.OLB の QC1815 を使用する)

$V_{cc} = 15 \text{ V}$,

$R_1 = 22 \text{ k}\Omega$, $R_2 = 82 \text{ k}\Omega$, $R_c = 3.3 \text{ k}\Omega$, $R_e = 1.2 \text{ k}\Omega$, $R_L = 12 \text{ k}\Omega$,

$C_{b2} = 3.3 \text{ }\mu\text{F}$,

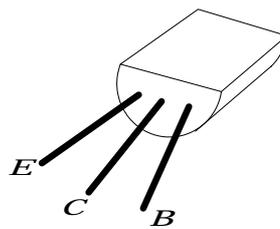
図 5.1(a)に対しては $C_{b1} = C_e = 22 \text{ }\mu\text{F}$ とし,

図 5.1(b)に対しては $C_{b1} = 4.7 \text{ }\mu\text{F}$ とする.

なお、使用するトランジスタの実際の外形図は右図のようになっている。

5.2 動作点の測定 (課題1)

動作点電流 I_{BQ} , I_{CQ} , I_{EQ} , 動作点電圧 V_{CEQ} 求めなさい。 $I_{CQ} = \beta I_{BQ}$ である。
 β_{hfe} はいくらか。



2SC1815の外形図

5.3 試作回路の周波数特性の測定 (課題2)

回路の入力に正弦波信号を加え、

10 Hz ~ 1 GHz における出力電圧 v_L の周波数特性を測定する。ただし、以下の C, R の組み合わせのすべてについて測定すること。

(ここでいう測定とは、PSpice で解析して、結果をプロットする事を意味する)

【注意】入力振幅は適度な値を自分で考え、どの周波数でも一定に保つこと。

【参考】図 5.1(a) は「図 2.16 実験回路」と同じであるので参考にすること。

図 5.1(a) の回路に対して:

- (1) $C=0$, すなわち、直列 CR 回路を接続しないとき、
- (2) $C=0.022 \mu\text{F}$, $R=220 \Omega$ のとき、
- (3) $C=0.022 \mu\text{F}$, $R=0 \Omega$ のとき、

図 5.1(b) の回路に対して:

- (1) $C_e=0$, すなわち、 C_e を接続しないとき、
- (2) $C_e=0.022 \mu\text{F}$ のとき、
- (3) $C_e=0.047 \mu\text{F}$ のとき、
- (4) $C_e=22 \mu\text{F}$ のとき、

(課題3)

上の課題2において、それぞれのケースで、なぜ測定結果に相違が生じるかを考えて、書きなさい。

自分のパソコンへの TORAGI.OLB の登録方法:

まず TORAGI.OLB と TORAGI.LIB を ¥Capture¥Library¥PSpice にコピーする。
Capture の PSpice メニューの Edit Simulation Profile における [Libraries] タブで、Browse ボタンによりフルパスを指定して、Add as Global ボタンで登録する。

課題1 ~ 3 のレポートを Word で作成して 提出用フォルダ に提出すること。
ファイル名は [班番号(半角)] - [学生番号(半角)][前半] とする。

厳守! (例: B2-E05777 前半.doc B2 班, 学生番号 + 前半)

コピー方法

・回路図

範囲を指定後

Ctrl+C

・プロット図

Window menu

Copy to Clipboard

OK

Word へ貼付け

編集メニュー

形式を選択し...

[図] を選択

6. デジタル回路

PSpice は、アナログ回路だけでなく、アナログ-デジタル混成回路や、デジタルのみの回路もシミュレーションすることが可能である。一方、現在実際に使われている電子回路はデジタル回路が圧倒的多数であり、それ故にデジタル回路への基本的理解は不可欠である。

NAND回路

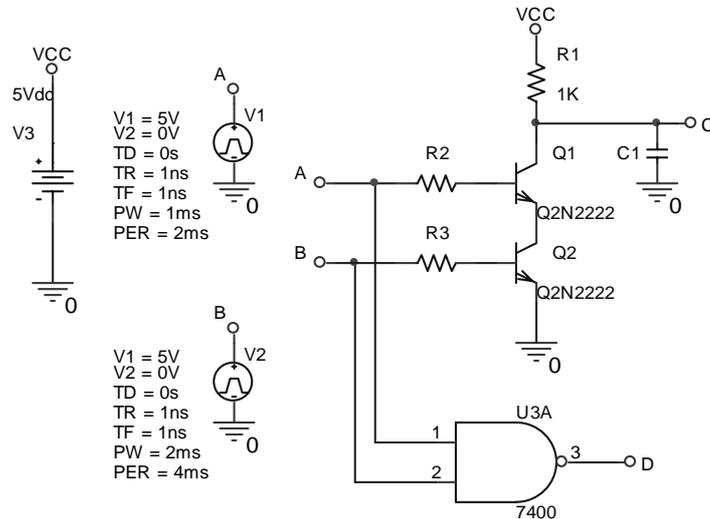


図 6.1 NAND (ライブラリは EVAL.OLB. 以下同様)

NAND 回路は最も基本的なデジタル素子である。

図 6.1 では、下のデジタル NAND 素子が、上のアナログ回路によって図 6.2 のように実現できる例を示した。ただし実際はこれほど簡単な回路ではなく、図 6.3 のようにさまざまな工夫がなされている。(後述の NOR / NOT も同様)

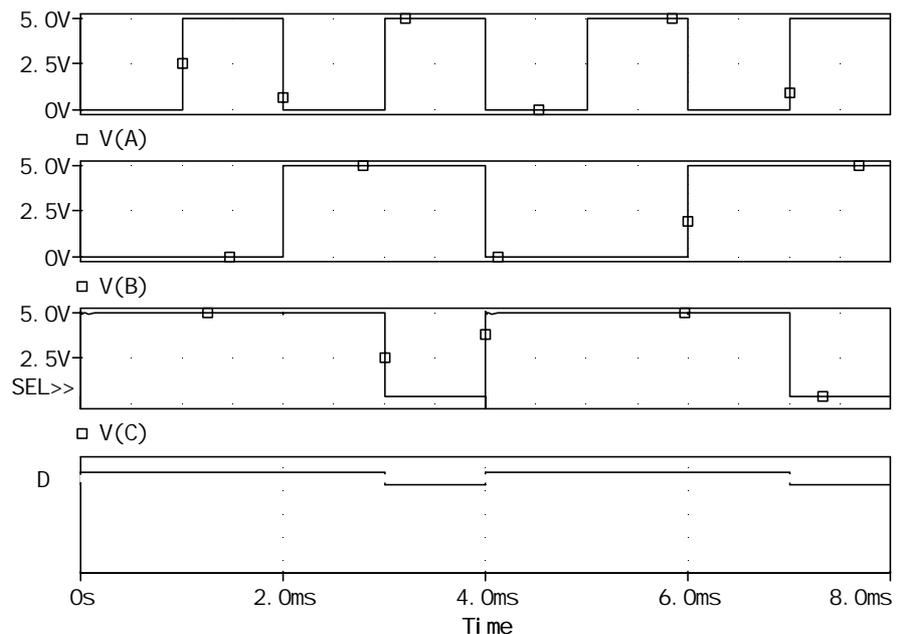


図 6.2 NAND 論理

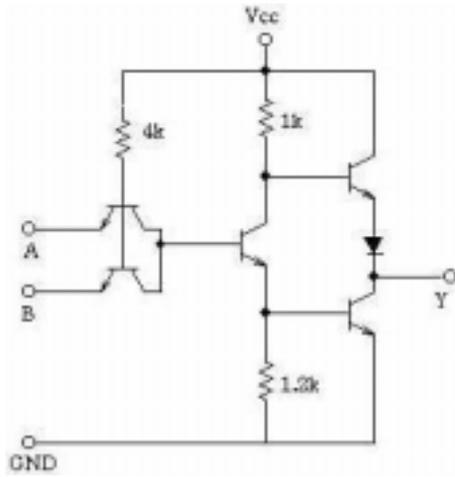


図 6.3 アナログ回路による実際の NAND 回路例

NOR 回路

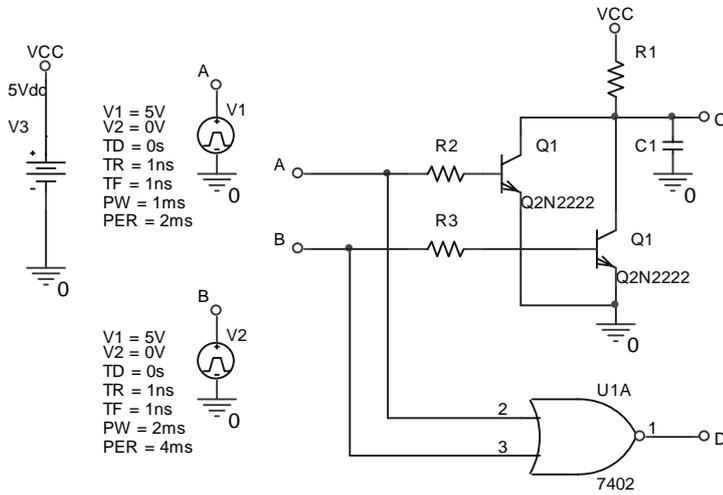


図 6.4 NOR

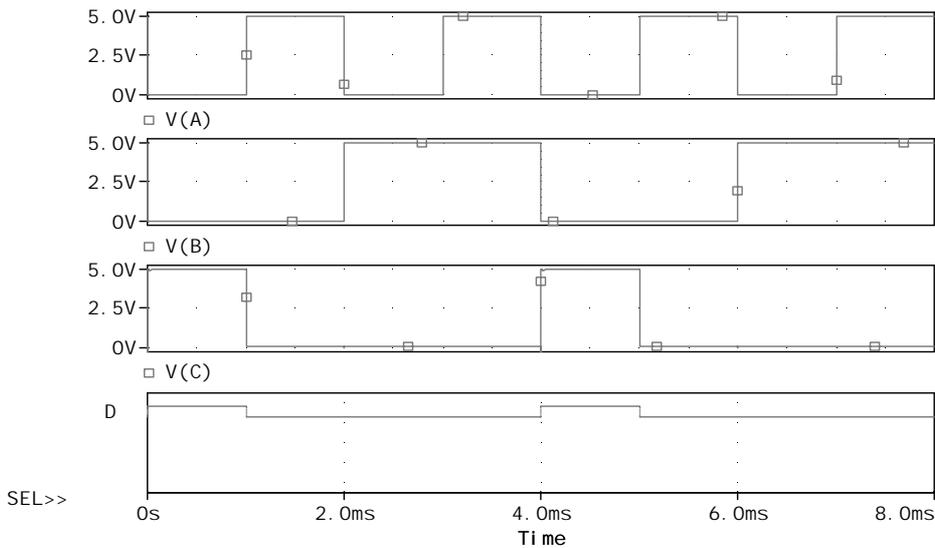


図 6.5 NOR 論理

NOT 回路

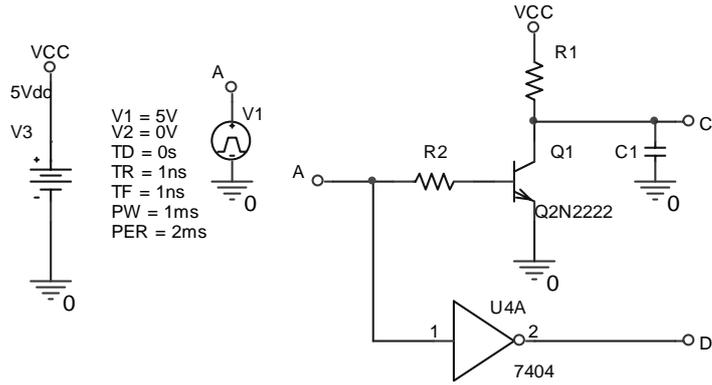


図 6.6 NOT

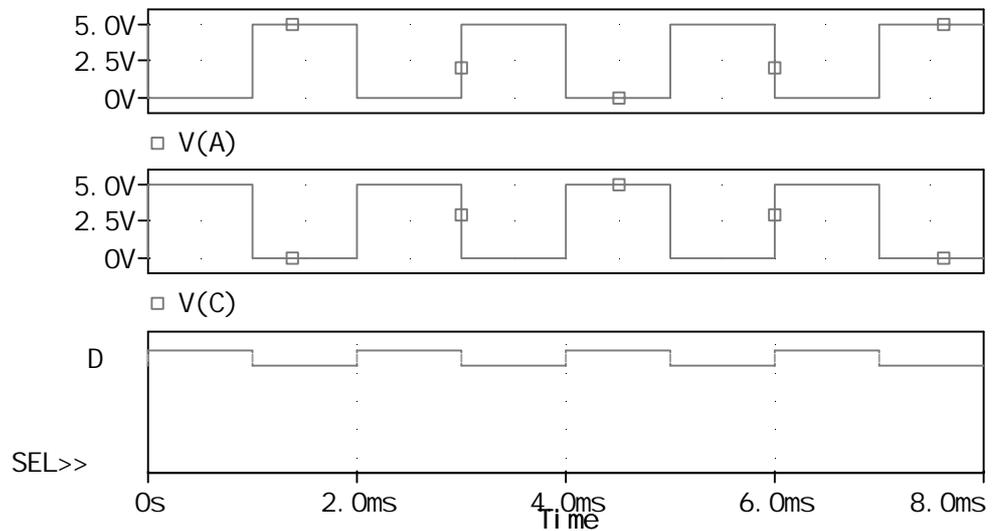


図 6.7 NOT 論理

【参考】 実際の IC(集積回路)では,図 6.8 のように消費電力の少ない MOSFET で構成されている場合が多い。(NAND 回路を 1 ゲートと呼び, デジタル回路の規模を現わす単位となっている)

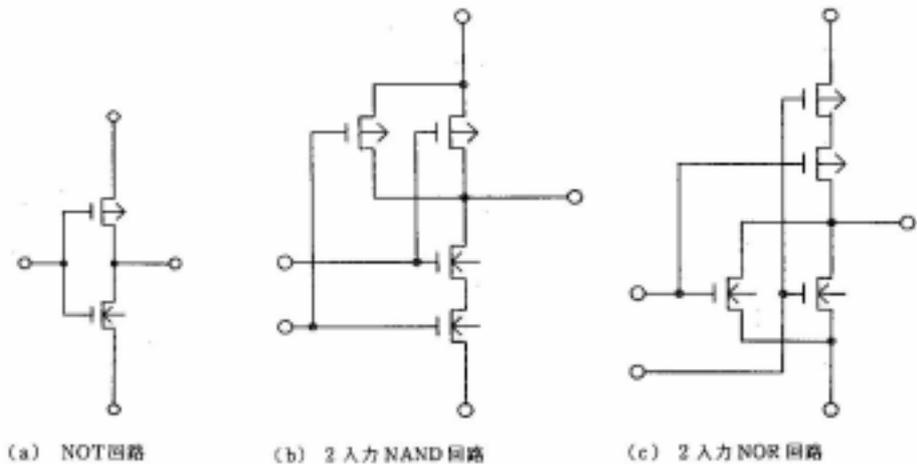


図 6.8 MOSFET によるデジタル基本回路

NAND 回路または NOR 回路だけで NOT 回路 / AND 回路 / OR 回路等が構成可能である . このことを確認せよ . (つまり例えば NAND だけで NOT / AND / OR / NOR 回路を作ってみよう)

X O R 回路 (eXclusive OR : 排他的論理和)

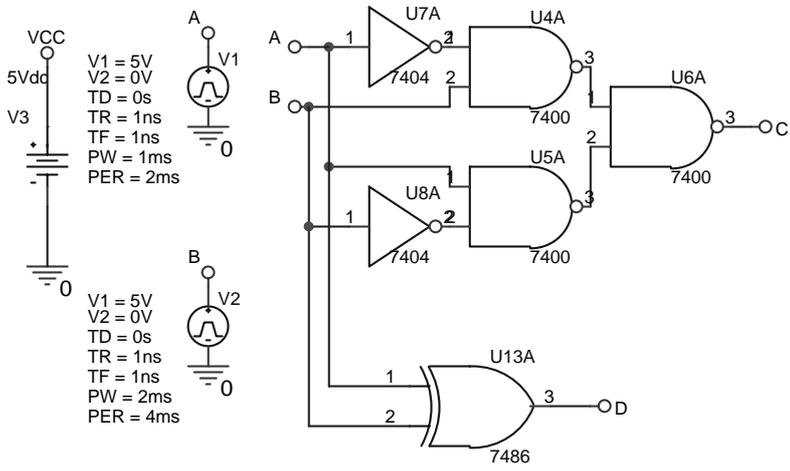


図 6.9 XOR

図 6.9 では , 下に XOR 素子 , 上にそれを NAND / NOT 回路によって実現している例を示した .

この図 6.9 の NAND 素子 3 個は , もともとは AND 素子 2 個と OR 素子 1 個であったものを , ゲート数を減らす目的で置き換えたものである . もともとの回路はどのような回路であったかを考えてみよ .

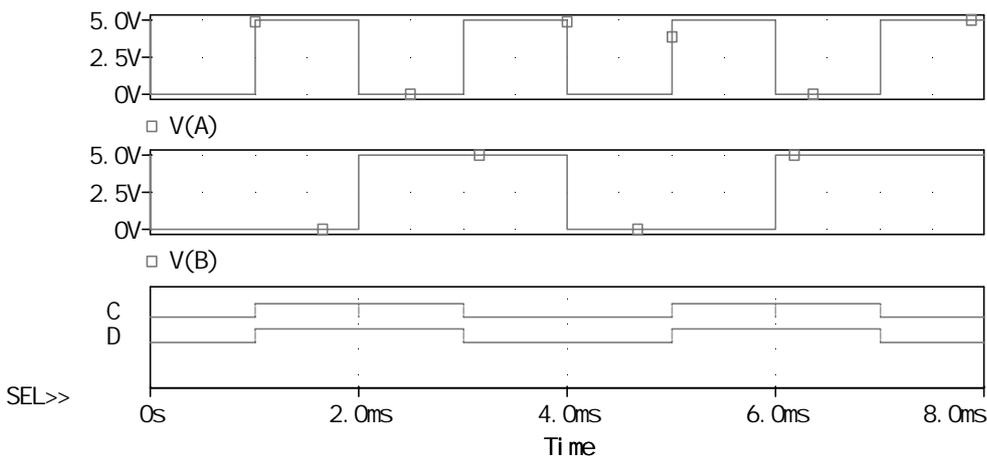


図 6.10 XOR 論理

D F F 回路 (CLK レベル入力)

D F F (D Flip-Flop) はラッチ回路とも呼ばれ、信号の伝達遅延時間を利用して、CLK 信号が入ったときのデータをそのまま保持する特徴がある。

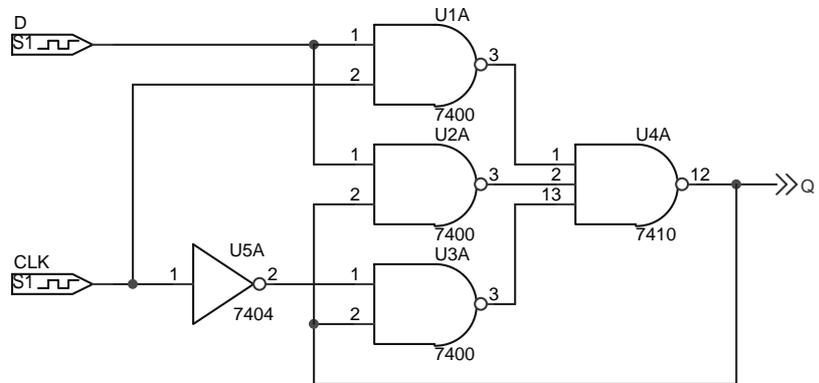


図 6.11 D F F (CLK レベル入力)

デジタル出力： OFFPAGELEFT-R (Place Off-Page Connector の CAPSYM.olb)

デジタル入力： STIM1 (SOURCE.olb) をダブルクリックして Property Editor を立ち上げ、COMMAND1 / 2 / ... に時間経過と 0 / 1 を入力する。

(注意：COMMAND? が不連続に表示されていても、1 / 2 / ... の順に実行されることに留意せよ)

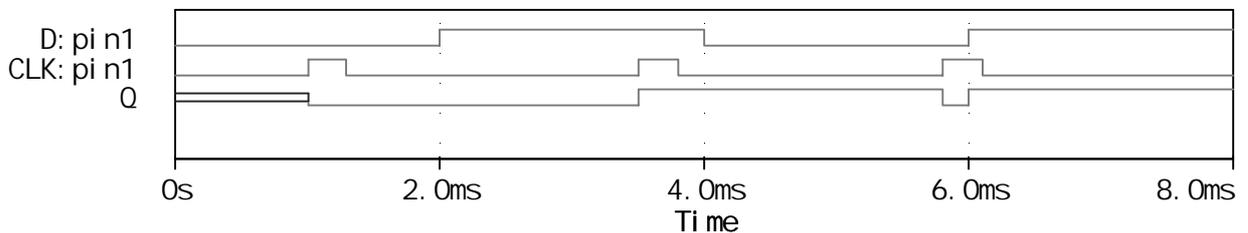


図 6.12 D F F 動作 (CLK レベル入力)

CLK レベル入力型の D F F では、CLK 入力中にデータが変わると (6.0ms 辺りを注目) 出力も変化してしまう。

出力 Q の最初は出力が不定となるため、Don't Care と呼ばれている。
なぜ出力が不定となるかを理解せよ。

【参考】

ノードの状態には、High(1)と Low(0)以外に、出力が不定であるドントケア (X : Don't Care) と、電氣的に接続されていないハイインピー (Z : High Impedance) 状態とがある。

D F F 回路 (CLK 立上りエッジ入力)

前項の CLK レベル入力型の D F F では ,CLK 入力中にデータが変わると(6.0ms 辺りを注目) 出力も変化してしまう . そこで改良されたのが ,CLK の立上り(または立下り)のエッジ入力のタイミングだけで ,出力を確定できる D F F である .

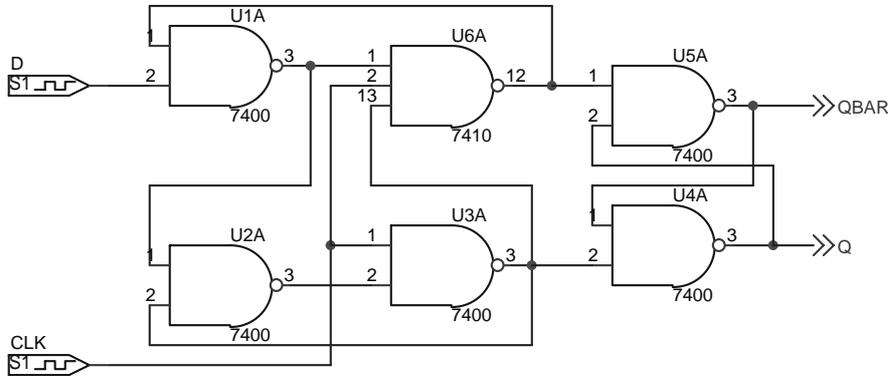


図 6.13 D F F (CLK 立上りエッジ入力)

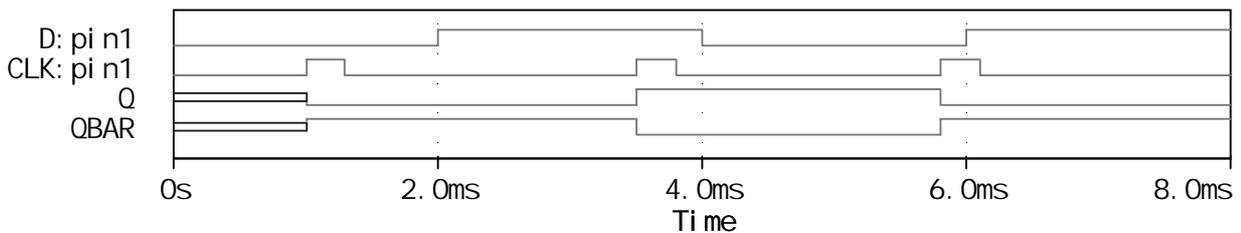


図 6.14 D F F 動作 (CLK 立上りエッジ入力)

出力 Q および QBAR も , 最初は出力が不定となっている .

D F F は , コンピュータのレジスタ等に応用されている .

D F F 回路 (RST 信号付き , CLK 立上りエッジ入力)
 出力 Q の最初の不定状態を無くすために , リセット信号 RST (クリア信号 CLR と呼ぶ場合もある) を付加した D F F である .

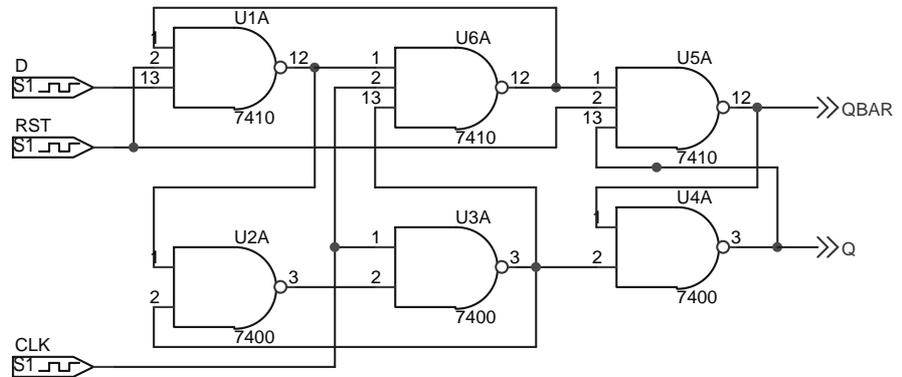


図 6.15 D F F (RST 信号付き , CLK 立上りエッジ入力)

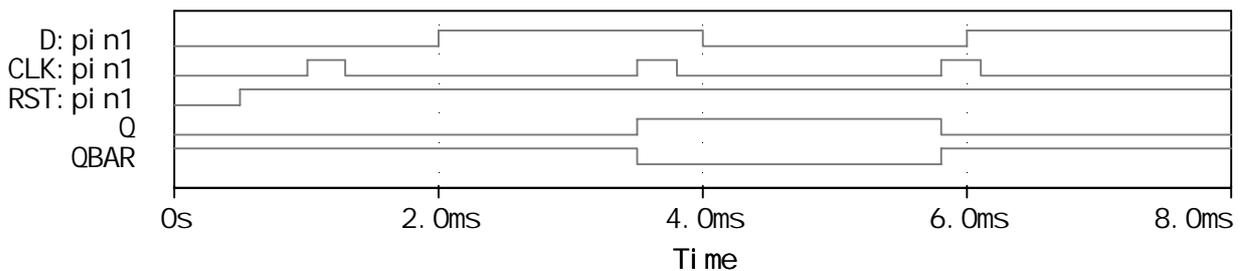


図 6.16 D F F 動作 (RST 信号付き , CLK 立上りエッジ入力)

リセット信号は出力を 0 にすることを言うが , 出力を 1 にセットするプリセット信号付き (PRE or SET) の D F F もある .

コンピュータの電源投入時には , 多くの IC がリセット信号によりリセットされている .

D F F のシンボルとしては次のようなものが使われている .



図 6.17 D F F のシンボル

T F F 回路 (RST 信号付き, CLK 立上りエッジ入力)

T F F は Toggle Flip-Flop の略で, CLK 信号入力により出力が反転する (これをトグルするという) 特徴がある。(前項の D F F と回路を比較せよ)

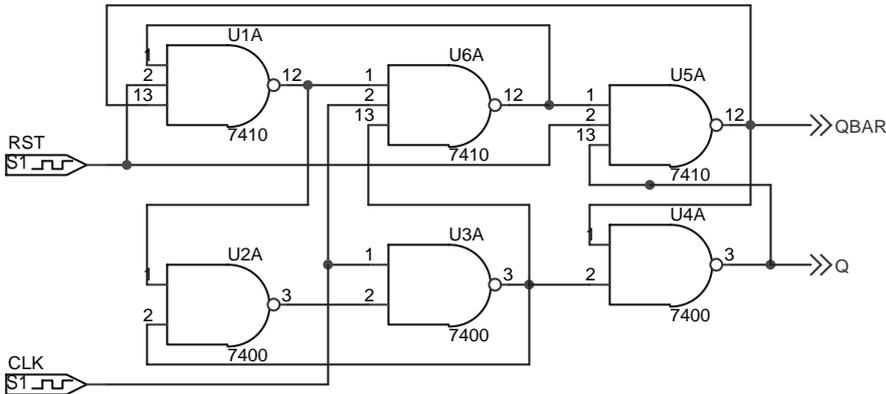


図 6.18 T F F (RST 信号付き, CLK 立上りエッジ入力)

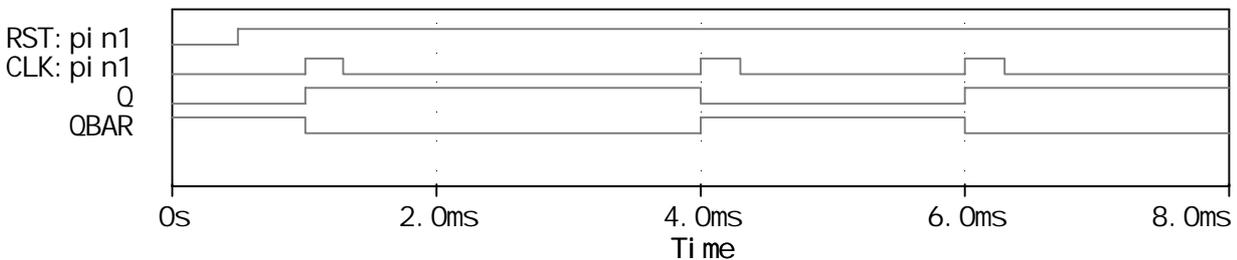
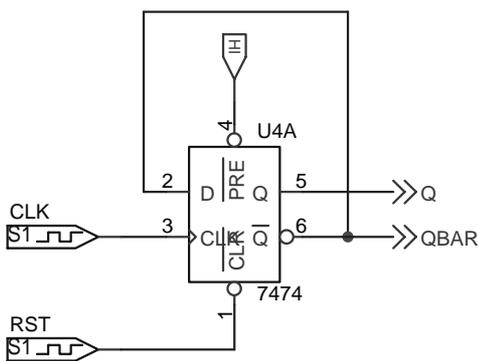


図 6.19 T F F 動作 (RST 信号付き, CLK 立上りエッジ入力)

D F F 利用の T F F 回路

T F F の機能は, D F F を利用することでも得られる。

図 6.20 T F F (DFF 利用)



PRE 端子はプルアップする。

プルアップ: \$D_HI (Place Power で SOURCE.olb を指定)

プルダウン: \$D_LO (同上)

【発展】 余裕あるものは PSpice で回路シミュレーションを行ない, 結果を確認しなさい。

このモジュールでは, CLR や PRE 信号名の上に線(Bar)が引かれ, 信号端子が小さなマルで描かれている。これを Low Active 端子と言い, Low つまりゼロとなるときに Active となる。つまり RST 信号にゼロが入ったときにリセットされる。ここでは PRE 信号を High(1) に固定して, PRE 端子を無効にしている。

UP カウンタ回路 (非同期式)

T F F を複数連結することでカウンタを構成することができる。

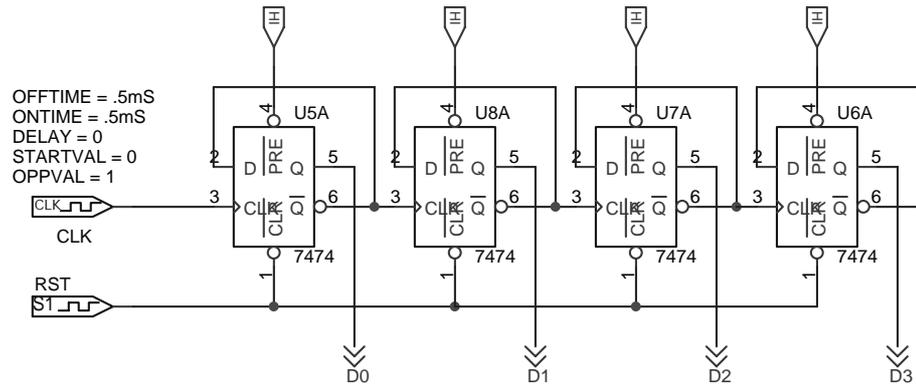


図 6.21 UP カウンタ (RST 信号付き, CLK 立上りエッジ入力)

デジタル CLK 入力: DigClock (SOURCE.olb 内) を使用する。

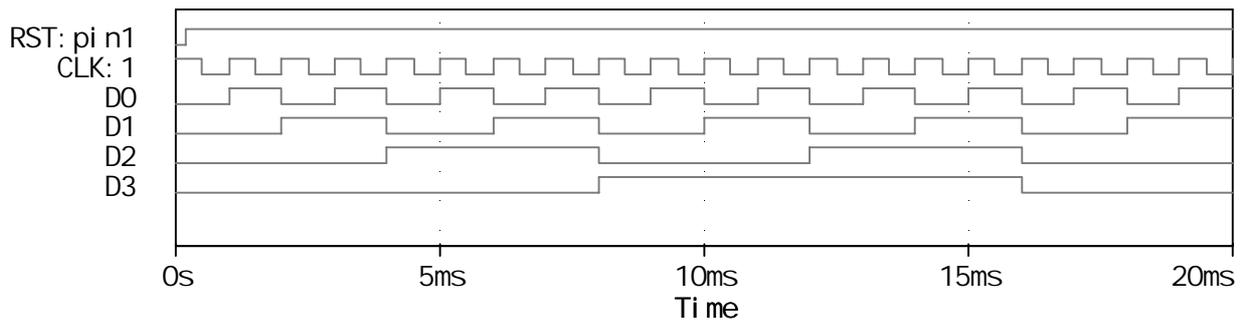


図 6.22 UP カウンタ動作 (RST 信号付き, CLK 立上りエッジ入力)
分周 (ぶんしゅう) 回路と呼ぶ場合もある。

他に DOWN カウンタ, UP/DOWN カウンタ, プリセットカウンタ等があります。(余裕のある人は設計してみよう)

カウンタは, コンピュータで重要な プログラム・カウンタ (次に実行するプログラムの番地を示す) や タイマ (時を刻んだり, 割り込み処理をする) に応用されている。

なお, 非同期式カウンタは最下位ビットから最上位ビットまでの「桁上がり」の遅延時間のために, 他の信号との処理において「スパイク」ノイズが発生して誤動作の原因となります。これを解決するために, 1つのクロックに同期してシステムが動作するような (実はこれがデジタル回路設計の秘訣でもあるのですが) 回路が好ましいわけです。次に同期式カウンタの例を示します。

JKFF を用いた同期式 UP カウンタ回路 (参考)

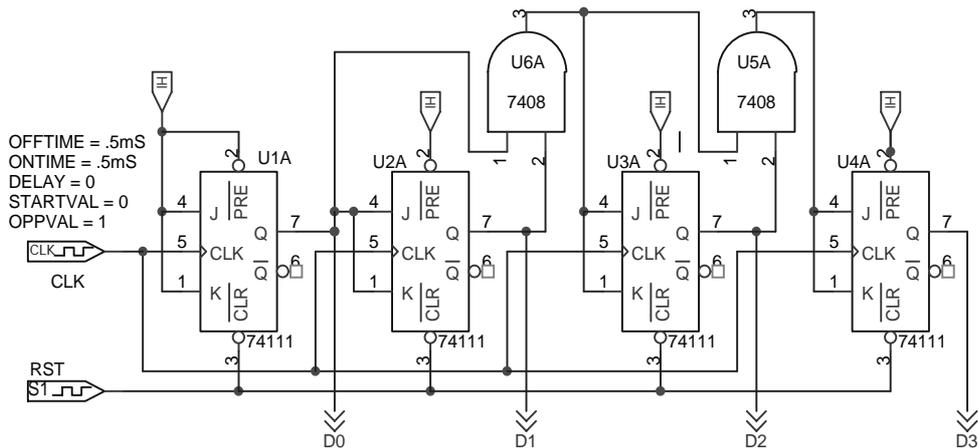


図 6.23 同期式 UP カウンタ

【発展】 余裕あるものは PSpice で回路シミュレーションを行ない, 結果を確認して下さい。

コンパレータ回路: 比較器 (数 10 との比較例)

数と数が比較され, 等しければ出力される。大小の比較をする回路と共に, CPU 内の Flag レジスタ等に応用される。

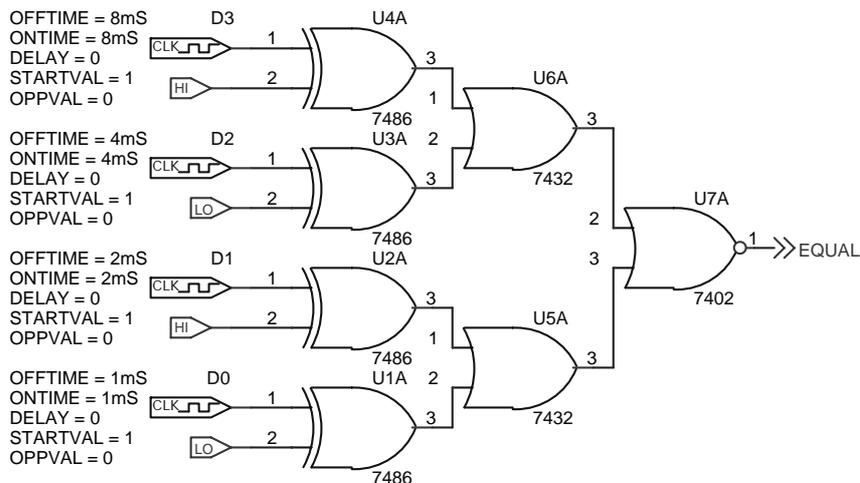


図 6.24 コンパレータ (数 10 との比較例)

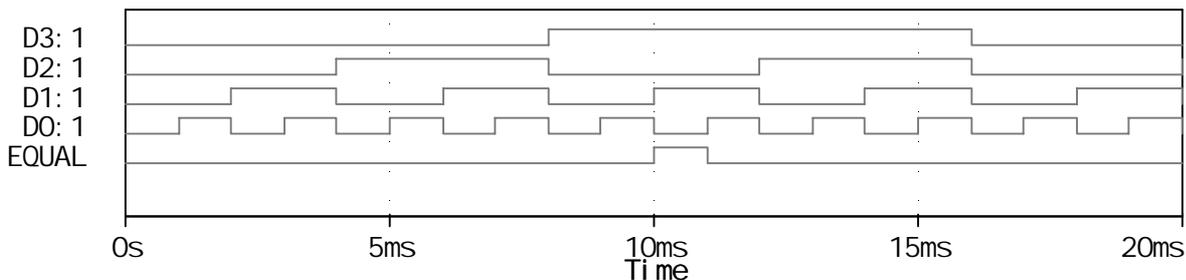


図 6.25 コンパレータ動作 (数 10 との比較例)

デコーダ回路 (2 to 4 の例)

アドレス BUS から特定の IC を選択する等に応用される .

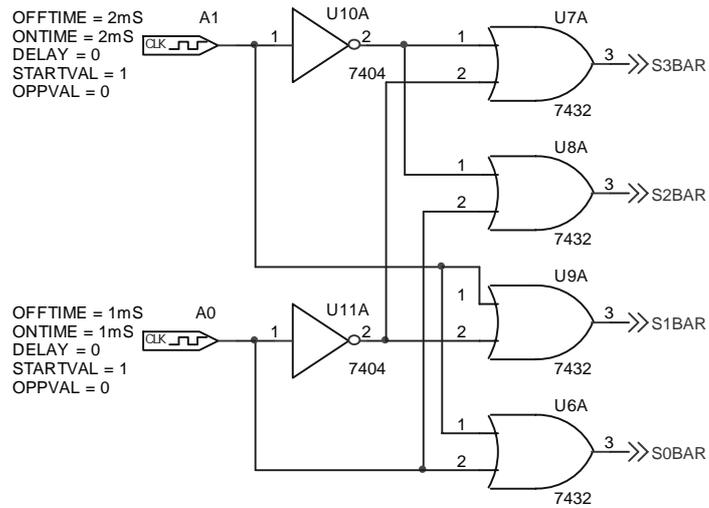


図 6.26 デコーダ (2 to 4 の例)

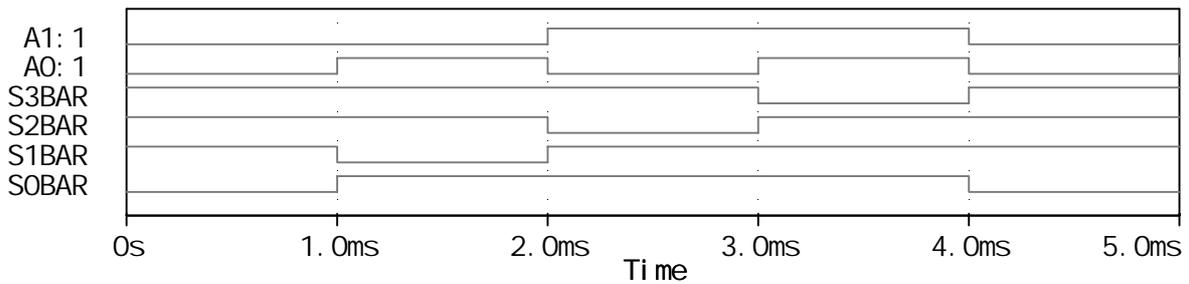


図 6.27 デコーダ動作 (2 to 4 の例)

半加算器

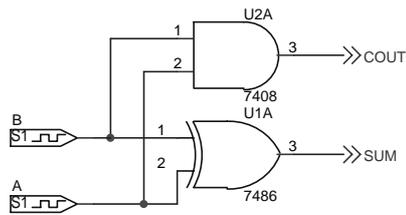


図 6.28 Half Adder

全加算器

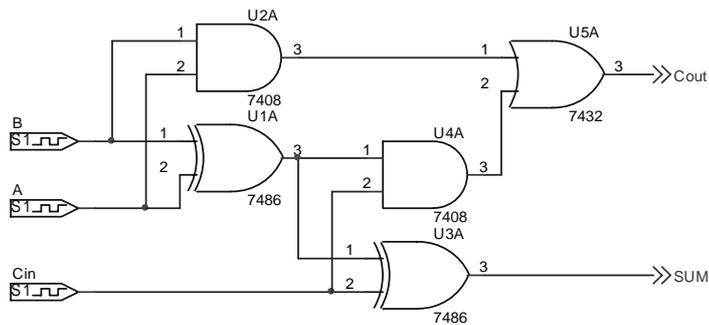


図 6.29 Full Adder

4ビット加算器

全加算器を4つ使って4ビットの加算器を作成しよう。

ここでは、PSpiceの階層デザインを用いる。まず次のように全加算器の入出力ポートを階層ポートに設定変更する。具体的には、

[Place] [Hierarchical Port...]

を選択し、[CAPSYM]ライブラリのPORTBOTH-Rポートを使用する。

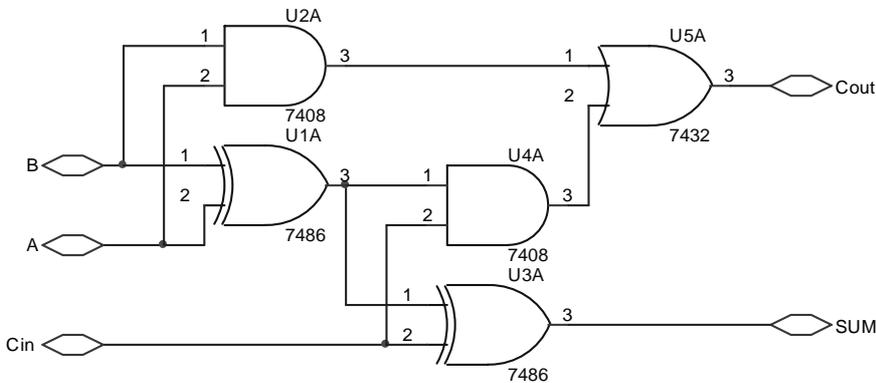


図 6.30 Full Adder with Hierarchical Port

作成できたら回路図名を「F-ADDER」として保存する。

一方新しい New Schematic を作成して Adder4 等とし、PAGE1 において、

[Place] [Hierarchical Block...]

を実行する。その設定画面において、

Reference: FullAdder (モジュール名であり、任意の名前を設定)

Implementation Type: Schematic View (回路図参照を選択)

Implementation name: F-ADDER (全加算器のファイル名)

と設定し、**OK**ボタンで先に進む。

カーソルが十字の形状に変わるから、左クリックでドラッグして適当な大きさの長方形を作成する。すると階層ポートの名称と対応したピンを有する階層ブロックが作成される。ピン位置はマウスでドラッグして変更することができる。

【参考】 階層ブロックを選択して右クリックメニューの Descend Hierarchy で下階層へ下ることができます。また逆に下階層から右クリックメニューで Ascend Hierarchy を選択すると、上階層に移動できます。

次に、4ビット BUS ラインによる配線を説明します。

デジタル回路では1つの物理的信号線において、イチかゼロ(つまり2進数)によってしかデータを表現できないため、“ひと塊りの信号”は複数の物理的信号線で構成されています。そこで、それらを個別に扱うよりも、“ひと塊りの信号”として扱いがために考案されたのが“BUS ライン”という考え方で、PSpice ではそれが用意されています。具体的には、

[Place] [Part...] STIM4 (SOURCE.olb にある)

を使います。

[Place] [Bus]および [Wire]

により図のように配線をした後、次に、

[Place] [Net Alias...]

で例えば，BUS 側は A[3-0]とし，Wire 側は A0, A1, A2, A3 と命名して信号を対応させます．

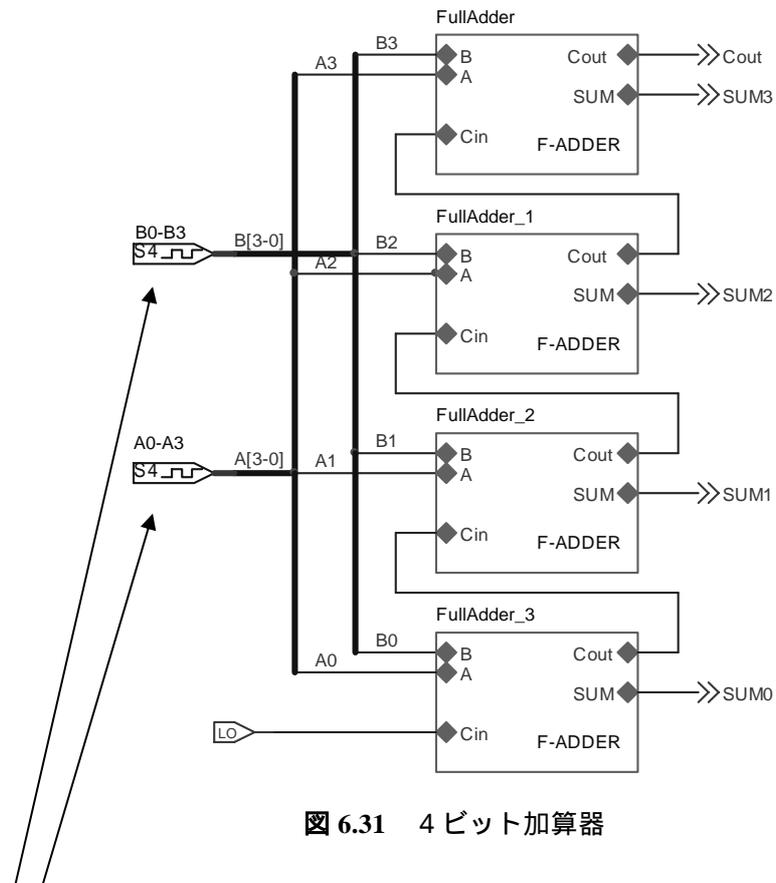


図 6.31 4 ビット加算器

STIM4 ポートをダブルクリックすると Property Editor ウィンドウが開き，COMMAND1 以降に 4 ビット分の変化を同時に記述することができる．これにより 0+0 及び F+F を含む 8 種類程度の加算結果をシミュレートしてみよう．

【参考】 実際の IC や電子基板の製造においては，本当に設計通りに機能するかを(つまり製造ミスがないかを)チェックするテストパターンが用いられます．そのときの考え方として，少なくとも全てのノードを 0 及び 1 にした場合をチェックする方法がとられ，0+0 及び F+F の場合を最低限含むのは，そうした考え方からきています．

【参考】 実際の加算器では高速化のために，桁上りを並列で計算する Fast Carry Look Ahead 回路が付加されています．

減算 $A - B$ を計算するには， B を反転して 1 を加え (2 の補数) ればよい．加算器 (図 6.31) を改良して，減算も可能な回路を設計せよ．

UP カウンタ (図 6.21) と比較器 (図 6.24) を使って，0 9 0 9 のように cyclic に動作する BCD カウンタを設計せよ．

本テキストで用いる部品一覧

[Place] [Ground]		
PSpice¥source.olb	O(ゼロ)	グラウンド
[Place] [Power]	(¥Pspice 内)	
CAPSYM	VCC	離れた端子を結ぶ
SOURCE	\$D_HI	プルアップ
SOURCE	\$D_LO	プルダウン
[Place] [Parts]		
breakout.olb	MbreakN3	M O S F E T
source.olb	VDC	DC 電圧源
source.olb	VSIN	AC 電圧源(F固定)
source.olb	VAC	AC 電圧源(F可変)
source.olb	IDC	DC 電流源
source.olb	VPULSE	パルス電圧源
source.olb	STIM1	1ビットデジタル入力
source.olb	STIM4	4ビットバス入力
source.olb	DigClock	デジタルクロック
analog.olb	R	抵抗
analog.olb	C	コンデンサ
analog.olb	E	電圧制御電圧源
analog.olb	F	電流制御電流源
analog.olb	G	電圧制御電流源
analog.olb	H	電流制御電圧源
TORAGI.OLB	QC1815	バイポーラTr
EVAL.OLB	Q2N2222	バイポーラTr
EVAL.OLB	7400	NAND
EVAL.OLB	7402	NOR
EVAL.OLB	7404	NOT
EVAL.OLB	7408	AND
EVAL.OLB	7432	OR
EVAL.OLB	7486	XOR
EVAL.OLB	7474	DFF
EVAL.OLB	74111	JKFF
[Place] [Off-Page Connector]		
CAPSYM	OFFPAGELEFT-R	デジタル出力
[Place] [Hierarchical Port...]		
CAPSYM	PORTBOTH-R	階層設計用ポート